

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|-------------------------------|---|------------------------------|
| In re Patent Application of |) | |
| |) | |
| Hideshi MAENO |) | Group Art Unit: Unassigned |
| |) | |
| Application No.: Unassigned |) | Examiner: Unassigned |
| |) | |
| Filed: December 2, 2003 |) | Confirmation No.: Unassigned |
| |) | |
| For: SEMICONDUCTOR INTEGRATED |) | |
| CIRCUIT WITH TEST CIRCUIT |) | |

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2003-353924

Filed: October 14, 2003

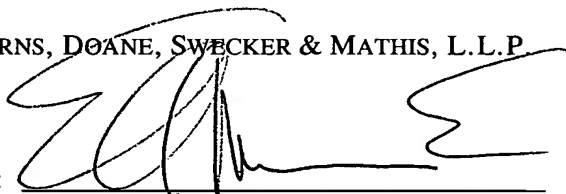
In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: December 2, 2003

By:



Ellen Marcie Emas
Registration No. 32,131

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 0 月 1 4 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 5 3 9 2 4
[ST. 10/C]: [J P 2 0 0 3 - 3 5 3 9 2 4]

出 願 人
Applicant(s): 株式会社ルネサステクノロジ

2 0 0 3 年 1 1 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 2 2 7 7

【書類名】 特許願
【整理番号】 542317JP02
【提出日】 平成15年10月14日
【あて先】 特許庁長官 殿
【国際特許分類】 G01R 31/28
G06F 11/22
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 前野 秀史
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100066474
 【弁理士】
 【氏名又は名称】 田澤 博昭
【選任した代理人】
 【識別番号】 100088605
 【弁理士】
 【氏名又は名称】 加藤 公延
【選任した代理人】
 【識別番号】 100123434
 【弁理士】
 【氏名又は名称】 田澤 英昭
【選任した代理人】
 【識別番号】 100101133
 【弁理士】
 【氏名又は名称】 濱田 初音
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-364099
 【出願日】 平成14年12月16日
【手数料の表示】
 【予納台帳番号】 020640
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 及び第 2 のロジック部と、

上記第 1 のロジック部と上記第 2 のロジック部との間に接続された機能ブロックと、

上記第 1 のロジック部の出力と上記機能ブロックの入力間の並列経路とデータを直列に伝達するための直列シフト経路を有し、上記第 1 のロジック部の出力と上記直列シフト経路を切り替えて上記機能ブロックの入力に接続するための複数の第 1 のセレクトと上記データを格納する複数のフリップフロップにより構成されたスキャンパスとを備えた半導体集積回路装置において、

上記スキャンパスの直列シフト経路上に接続され、上記機能ブロックの出力と上記直列シフト経路を切り替えて上記第 2 のロジック部の入力に接続するための複数の第 2 のセレクトを備え、

上記スキャンパスの直列シフト経路からテストデータを上記第 2 のセレクトを介して上記機能ブロックに与え、上記第 2 のセレクトを切り替えて上記機能ブロックから出力されたデータを上記第 2 のセレクトを介して出力することを特徴とする半導体集積回路装置。

【請求項 2】

直列シフト経路上のフリップフロップを、第 1 ロジック部の出力と機能ブロックの入力間の並列経路外に接続することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】

機能ブロックが RAM (Random Access Memory) である場合に、1 回のシフト動作で上記 RAM に与えるデータをオール 0 又はオール 1 に変更するために、スキャンパスの直列シフト経路上に複数のインバータを挿入したことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】

インバータは第 2 のセレクトの出力に接続されていることを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 5】

スキャンパスは直列シフト経路の出力を直列シフト経路の入力にフィードバックさせるための第 3 のセレクト回路を備えたことを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 6】

第 2 のセレクトを介して出力された機能ブロックからのデータが所定の値であることを検出するためのゲート回路を備えたことを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 7】

インバータを介して出力された機能ブロックからのデータが所定の値であることを検出するためのゲート回路を備えたことを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 8】

第 1 のセレクトを介して出力された機能ブロックからのデータが所定の値であることを検出するためのゲート回路を備えたことを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 9】

フリップフロップに格納されている機能ブロックからのデータが所定の値であることを検出するためのゲート回路を備えたことを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 10】

スキャンパスの直列シフト経路上のフリップフロップの入力を第 2 のセレクトの出力に接続し、上記フリップフロップの出力を第 2 ロジック部の入力に接続することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 11】

機能ブロックがRAMである場合に、

1回のシフト動作で上記RAMに与えるデータをオール0又はオール1に変更するためにスキャンパスの直列シフト経路上に挿入した複数のインバータと、

上記スキャンパスの直列シフト経路の出力を上記直列シフト経路の入力にフィードバックさせるための第3のセレクト回路と、

第2のセレクトを介して出力された上記RAMからのデータが所定の値であることを検出するためのゲート回路とを備えたことを特徴とする請求項10記載の半導体集積回路装置。

【請求項12】

機能ブロックがRAMである場合に、

1回のシフト動作で上記RAMに与えるデータをオール0又はオール1に変更するためにスキャンパスの直列シフト経路上に挿入した複数のインバータと、

上記スキャンパスの直列シフト経路の出力を上記直列シフト経路の入力にフィードバックさせるための第3のセレクト回路と、

上記インバータを介して出力された上記RAMからのデータが所定の値であることを検出するためのゲート回路とを備えたことを特徴とする請求項10記載の半導体集積回路装置。

【請求項13】

機能ブロックがRAMである場合に、

1回のシフト動作で上記RAMに与えるデータをオール0又はオール1に変更するためにスキャンパスの直列シフト経路上に挿入した複数のインバータと、

上記スキャンパスの直列シフト経路の出力を上記直列シフト経路の入力にフィードバックさせるための第3のセレクト回路と、

第1のセレクトを介して出力された上記RAMからのデータが所定の値であることを検出するためのゲート回路とを備えたことを特徴とする請求項10記載の半導体集積回路装置。

【請求項14】

機能ブロックがRAMである場合に、

1回のシフト動作で上記RAMに与えるデータをオール0又はオール1に変更するためにスキャンパスの直列シフト経路上に挿入した複数のインバータと、

上記スキャンパスの直列シフト経路の出力を上記直列シフト経路の入力にフィードバックさせるための第3のセレクト回路と、

フリップフロップに格納されている上記RAMからのデータが所定の値であることを検出するためのゲート回路とを備えたことを特徴とする請求項10記載の半導体集積回路装置。

【請求項15】

機能ブロックがRAMである場合に、

第1のセレクト及び上記第2のセレクトとしてAND-OR複合ゲート型セレクトを使用することを特徴とする請求項1記載の半導体集積回路装置。

【請求項16】

機能ブロックがRAMである場合に、

第1のセレクト及び上記第2のセレクトとしてAND-OR複合ゲート型セレクト及びAND-NOR複合ゲート型セレクトを使用することを特徴とする請求項1記載の半導体集積回路装置。

【請求項17】

機能ブロックがRAMである場合に、

1回のシフト動作で上記RAMに与えるデータをオール0又はオール1に変更するためにスキャンパスの直列シフト経路上に挿入した複数のインバータと、

上記スキャンパスの直列シフト経路の出力を上記直列シフト経路の入力にフィードバックさせるための第3のセレクト回路と、

上記スキャンパスを介して出力された上記 R A M からの奇数ビット目及び偶数ビット目のデータが所定の値であることを検出するためのゲート回路とを備えたことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 1 8】

機能ブロックが R A M である場合に、

1 回のシフト動作で上記 R A M に与えるデータをオール 0 又はオール 1 に変更するためにスキャンパスの直列シフト経路上に挿入した複数のインバータと、

上記スキャンパスの直列シフト経路の出力を上記直列シフト経路の入力にフィードバックさせるための第 3 のセクタ回路と、

上記スキャンパスを介して出力された上記 R A M からのデータが所定の値であることを検出するためのゲート回路と、

上記ゲート回路が上記 R A M からのデータが所定の値でないことを検出した場合に、次の上記 R A M のテストをキャンセルし故障解析を行うためのフェイルフラグ信号を出力すると共に、上記第 2 のセクタを上記直列シフト経路に切り替えるフェイルフラグ生成回路とを備えたことを特徴とする請求項 1 記載の半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

この発明は、RAM (Random Access Memory) 等の機能ブロックと、その機能ブロックに接続されるロジック部と、それらをテストするためのテスト回路とを備えた半導体集積回路装置に関するものである。

【背景技術】

【0002】

図21は特許文献1に開示されたスキャンテスト機能を備えた従来の半導体集積回路装置を示す回路図である。図21に示すように、この半導体集積回路装置は、シフトモード信号SMにより制御されるセクタ10, 11, 12、フリップフロップ (FF) 30, 31, 32、テストモード信号TESTにより制御されるセクタ50, 51, 52、ロジック部80, 81、RAM91により構成されている。

【0003】

図21において、セクタ10, 11, 12及びフリップフロップ30, 31, 32によりスキャンパスが構成されている。このスキャンパスは、ロジック部80の出力とRAM91の入力間の並列経路と、SI (スキャンイン) 端子からSO (スキャンアウト) 端子までのデータを直列に伝達するための直列シフト経路を備えた記憶回路である。

【0004】

次に図21に示す半導体集積回路装置の動作について説明する。

通常動作時は、シフトモード信号SM=0に設定してセクタ10, 11, 12を“0”入力端に切り替え、テストモード信号TEST=0に設定してセクタ50, 51, 52を“0”入力端に切り替える。すなわち、ロジック部80から出力されるデータが、セクタ10, 11, 12により選択されて、フリップフロップ30, 31, 32を介してRAM91の入力端子DI0, DI1, DI2に入力される。ここで、図示されていないが、フリップフロップ30, 31, 32にはクロックが入力されているものとする。また、RAM91の出力端子DO0, DO1, DO2からのデータが、セクタ50, 51, 52により選択されてロジック部81に伝達される。このように、通常動作時は、RAM91はロジック部80, 81の間に挿入された状態となり、データの書き込みと読み出しが行われる。

【0005】

ロジック部80, 81のスキャンテストを行う場合は、テストモード信号TEST=1に設定してセクタ50, 51, 52を“1”入力端に切り替える。この状態では、セクタ50, 51, 52は“1”入力端に入力されたデータを選択して出力するので、RAM91はバイパスされ、スキャンパスがロジック部80とロジック部81の間に挿入された状態になる。その状態でシフトモード信号SMを制御してロジック部80, 81のスキャンテストを行う。

【0006】

ロジック部81のスキャンテストを行う場合には、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替える。セクタ10, 11, 12は“1”入力端に入力されたデータを選択するので、フリップフロップ30, 31, 32にクロックを3回与えると、SI端子からの3ビットのテストデータがシリアルシフト動作により、フリップフロップ30, 31, 32に格納される。テストモード信号TEST=1なので、フリップフロップ30, 31, 32に格納された3ビットのテストデータがロジック部81に与えられ、ロジック部81から出力されるデータを確認することでロジック部81のスキャンテストが行われる。

【0007】

ロジック部80のスキャンテストを行う場合には、シフトモード信号SM=0に設定してセクタ10, 11, 12を“0”入力端に切り替える。テストデータを入力し所定の

動作を行ったロジック部 80 から出力される 3 ビットのデータがセクタ 10, 11, 12 により選択される。フリップフロップ 30, 31, 32 にクロックを 1 回与えると、ロジック部 80 からの 3 ビットのデータはそれぞれフリップフロップ 30, 31, 32 に格納される。このとき、フリップフロップ 32 に格納された 1 ビットのデータは SO 端子に出力される。次にシフトモード信号 SM=1 に設定してセクタ 10, 11, 12 を“1”入力端に切り替える。フリップフロップ 30, 31, 32 にクロックを 2 回与えると、フリップフロップ 30, 31 に格納された各 1 ビットのデータがシリアルシフト動作により SO 端子にシリアル出力され、ロジック部 80 のスキャンテストが行われる。

【0008】

図 21 に示す半導体集積回路装置では、シフトモード信号 SM=1 の状態において、シリアルシフト動作により、RAM 91 の入力端子 DI0, DI1, DI2 に SI 端子からのテストデータを設定することは可能であるが、RAM 91 の出力端子 DO0, DO1, DO2 から出力されるデータを、フリップフロップ 30, 31, 32 に取り込んで SO 端子から読み出す機能はなく、RAM 91 単独のテストを行うことはできない。

【0009】

図 22 は特許文献 1 に開示された RAM 91 単独のテスト機能を備えた従来の半導体集積回路装置を示す回路図である。これは図 21 に示す半導体集積回路装置に、RAM 91 のテストモードを実行するために、出力選択信号 SELDO により制御されるセクタ 60, 61, 62 と、RAM テスト信号 RAMTEST により制御されるセクタ 70, 71, 72 が追加されている。

【0010】

ここで、セクタ 60, 61, 62 の“1”入力端には、RAM 91 の出力端子 DO0, DO1, DO2 からのデータがそれぞれ入力され、セクタ 60 の“0”入力端には SI 端子からのテストデータが入力され、セクタ 61, 62 の“0”入力端にはそれぞれフリップフロップ 30, 31 からのデータが入力される。また、セクタ 70, 71, 72 の“0”入力端には、フリップフロップ 30, 31, 32 からのデータが入力され、セクタ 70, 71, 72 の“1”入力端には、SID 端子からの RAM テストデータが入力される。

【0011】

次に図 22 に示す半導体集積回路装置の動作について説明する。

通常動作時は、シフトモード信号 SM=0 に設定してセクタ 10, 11, 12 を“0”入力端に切り替え、テストモード信号 TEST=0 に設定してセクタ 50, 51, 52 を“0”入力端に切り替え、RAM テスト信号 RAMTEST=0 に設定してセクタ 70, 71, 72 を“0”入力端に切り替える。この状態では、ロジック部 80 から出力されるデータが、フリップフロップ 30, 31, 32 を介して RAM 91 の入力端子 DI0, DI1, DI2 に入力される。ここで、フリップフロップ 30, 31, 32 にはクロックが入力されているものとする。また、RAM 91 の出力端子 DO0, DO1, DO2 からのデータがロジック部 81 に伝達される。このように、通常動作時は、RAM 91 はロジック部 80, 81 の間に挿入された状態となり、データの書き込みと読み出しが行われる。

【0012】

ロジック部 80、ロジック部 81 のスキャンテストを行う場合には、テストモード信号 TEST=1 に設定してセクタ 50, 51, 52 を“1”入力端に切り替え、出力選択信号 SELDO=0 に設定してセクタ 60, 61, 62 を“0”入力端に切り替える。この状態では RAM 91 はバイパスされ、スキャンパスがロジック部 80、ロジック部 81 の間に挿入された状態となる。その状態で、図 21 に示す半導体集積回路装置と同様に、シフトモード信号 SM を制御してロジック部 80、ロジック部 81 をスキャンテストする。

【0013】

RAM 91 をテストする場合には、RAM テスト信号 RAMTEST=1 に設定してセ

レクタ70, 71, 72を“1”入力端に切り替え、SID端子からのRAMテストデータをRAM91への書き込みデータとして供給する。ここでは、1ビットのRAMテストデータを3ビットの書き込みデータとして共通にRAM91に供給している。すなわち、RAM91への書き込みデータとして“000”や“111”を瞬時に与えることができる。

【0014】

出力選択信号SELDOにより制御されるセクタ60, 61, 62は、RAM91の出力端子DO0~DO2からのテスト結果のデータをスキャンパスに取り込むためのものである。出力選択信号SELDO=1に設定してセクタ60, 61, 62を“1”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、フリップフロップ30, 31, 32にクロックを1回与えると、RAM91の出力端子DO0~DO2からのテスト結果のデータをフリップフロップ30, 31, 32に格納する。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。次に出力選択信号SELDO=0に設定してセクタ60, 61, 62を“0”入力端に切り替え、フリップフロップ30, 31, 32にクロックを2回与えると、フリップフロップ30, 31に格納された各1ビットのデータはシリアルシフト動作によりSO端子から読み出され、チップ外部のテスト装置やチップ内部のセルフテスト回路により故障判定を行う。

【0015】

【特許文献1】特開平10-73641号公報（段落番号0018~0039、図1、図4）

【発明の開示】

【発明が解決しようとする課題】

【0016】

従来の半導体集積回路装置は以上のように構成されているので、図21に示す回路では、RAM91等の機能ブロック単独のテストができないという課題があった。また、図22に示す回路では、RAM91等の機能ブロックのテスト回路の規模が大きくなるという課題があった。

【0017】

この発明は上記のような課題を解決するためになされたもので、テスト回路の規模を大きくせずに、RAM91等の機能ブロック単独のテストが行える半導体集積回路装置を得ることを目的とする。

【課題を解決するための手段】

【0018】

この発明に係る半導体集積回路装置は、第1のロジック部と第2のロジック部との間に接続された機能ブロックと、第1のロジック部の出力と機能ブロックの入力間の並列経路とデータを直列に伝達するための直列シフト経路を有し、第1のロジック部の出力と直列シフト経路を切り替えて機能ブロックの入力に接続するための複数の第1のセクタとデータを格納する複数のフリップフロップにより構成されたスキャンパスとを備えたもので、スキャンパスの直列シフト経路上に接続され、機能ブロックの出力と直列シフト経路を切り替えて第2のロジック部の入力に接続するための複数の第2のセクタを備え、スキャンパスの直列シフト経路からテストデータを第2のセクタを介して機能ブロックにシフトインし、第2のセクタを切り替えて機能ブロックから出力されたデータを第2のセクタを介して出力するものである。

【発明の効果】

【0019】

この発明は、スキャンパスの直列シフト経路上に接続され、機能ブロックの出力と直列シフト経路を切り替えて第2のロジック部の入力に接続するための複数の第2のセクタを備え、スキャンパスの直列シフト経路からテストデータを第2のセクタを介して機能ブロックにシフトインし、第2のセクタを切り替えて機能ブロックから出力されたデー

タを第2のセレクトアを介して出力することにより、テスト回路の規模を大きくせず機能ブロック単独でテストすることができるという効果がある。

【発明を実施するための最良の形態】

【0020】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1による半導体集積回路装置の構成を示す回路図である。図1に示すように、この半導体集積回路装置は、シフトモード信号SMにより制御されるセレクトア10、11、12（第1のセレクトア）、フリップフロップ（FF）30、31、32、テストモード信号TEST2により制御されるセレクトア60、61、62（第2のセレクトア）、ロジック部80（第1のロジック部）、ロジック部81（第2のロジック部）、機能ブロック90により構成されている。ここで、機能ブロック90はRAMだけでなく、演算回路、インターフェース回路、メモリブロック等の各種の論理機能ブロックを含むものとする。

【0021】

図1において、セレクトア60、61、62、セレクトア10、11、12及びフリップフロップ30、31、32によりスキャンパスが構成されている。このスキャンパスは、ロジック部80の出力と機能ブロック90の入力間の並列経路と、SI（スキャンイン）端子からSO（スキャンアウト）端子までのデータを直列に伝達するための直列シフト経路を備えた記憶回路であり、セレクトア60、61、62はスキャンパスの直列シフト経路に接続されている。

【0022】

図1では、従来の図21のセレクトア50、51、52の挿入位置を変更してセレクトア60、61、62とし、機能ブロック90の出力端子DO0、DO1、DO2から出力されるデータをスキャンパスに取り込めるようにしている。これにより、テスト回路規模の増加なしに機能ブロック90単独のテストすることが可能になる。

【0023】

次に動作について説明する。

通常動作時は、シフトモード信号SM=0に設定してセレクトア10、11、12を“0”入力端に切り替え、テストモード信号TEST2=0に設定してセレクトア60、61、62を“0”入力端に切り替える。この状態では、ロジック部80から出力されるデータが、セレクトア10、11、12により選択されて、フリップフロップ30、31、32を介して機能ブロック90の入力端子DI0、DI1、DI2に入力される。ここで、フリップフロップ30、31、32にはクロックが入力されているものとする。

【0024】

また、機能ブロック90の出力端子DO0、DO1、DO2からのデータが、セレクトア60、61、62により選択されてロジック部81に伝達される。このように、通常動作時は、機能ブロック90はロジック部80、81の間に挿入された状態となり、所定の演算やデータ処理が行われる。

【0025】

ロジック部80、81のスキャンテストを行う場合は、テストモード信号TEST2=1に設定してセレクトア60、61、62を“1”入力端に切り替える。この状態では機能ブロック90はバイパスされ、スキャンパスがロジック部80とロジック部81の間に挿入された状態になる。その状態でシフトモード信号SMを制御してロジック部80、81のスキャンテストを行う。

【0026】

ロジック部81のスキャンテストを行う場合には、シフトモード信号SM=1に設定してセレクトア10、11、12を“1”入力端に切り替え、フリップフロップ30、31、32にクロックを2回与えると、SI端子からの2ビットのテストデータが、シリアルシフト動作によりフリップフロップ30、31に格納される。

【0027】

テストモード信号TEST2=1に設定されているので、SI端子の次の1ビットのテストデータはセクタ60により選択されてロジック部81に入力され、フリップフロップ30, 31に格納された各1ビットのテストデータは、それぞれセクタ61, 62により選択されてロジック部81に入力され、合計3ビットのテストデータによりロジック部81のスキャンテストが行われる。

【0028】

ロジック部80のスキャンテストを行う場合には、シフトモード信号SM=0に設定してセクタ10, 11, 12を“0”入力端に切り替え、フリップフロップ30, 31, 32にクロックを1回与えると、テストデータを入力したロジック部80からのテスト結果の3ビットのデータが、フリップフロップ30, 31, 32にそれぞれ格納される。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。

【0029】

次にシフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、フリップフロップ30, 31, 32にクロックを2回与えると、フリップフロップ30, 31に格納された各1ビットのデータはSO端子にシフトアウトされて、合計3ビットのデータの内容が確認される。この場合、ロジック部81に対する次のテストデータをSI端子からフリップフロップ30, 31に格納することもできる。なお、このロジック部80とロジック部81のスキャンテストは、入力するテストデータを変更して複数回繰り返される。

【0030】

機能ブロック90のテストを行う場合には、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替える。そして、テストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替え、フリップフロップ30, 31, 32にクロックを3回与えると、SI端子からの3ビットのテストデータがシリアルシフト動作によりフリップフロップ30, 31, 32に格納されて、機能ブロック90の入力端子DI0, DI1, DI2に入力される。機能ブロック90は所望の動作を行ない、テスト結果のデータが出力端子DO0, DO1, DO2に出力される。

【0031】

次にテストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替えて、フリップフロップ30, 31, 32にクロックを1回与えると、機能ブロック90の出力端子DO0, DO1, DO2からのテスト結果のデータがフリップフロップ30, 31, 32に格納される。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。

【0032】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替えて、フリップフロップ30, 31, 32にクロックを2回与えると、フリップフロップ30, 31に格納された各1ビットのデータはSO端子にシフトアウトされて、合計3ビットのデータの内容が確認される。なお、この機能ブロック90のテストは、SI端子から入力するテストデータを変更して複数回繰り返される。

【0033】

以上のように、この実施の形態1によれば、テスト回路の規模を大きくせずに機能ブロック90単独でテストすることができるという効果が得られる。

【0034】

実施の形態2.

図2はこの発明の実施の形態2による半導体集積回路装置の構成を示す回路図である。この実施の形態2では、図2に示すように、実施の形態1の図1における機能ブロック90をRAM91に変更し、スキャンパスの直列シフト経路にインバータ20, 21, 22を挿入している。このインバータ20, 21, 22により、RAM91に書き込むテストデータを、オール0 (“000”) やオール1 (“111”) に1クロックサイクルで切

り替えることができる。これにより、RAM91のテストをする場合に、“000”を書き込んで次のサイクルで“111”を書き込む、又は“111”を書き込んで次のサイクルで“000”を書き込むというテストを容易に行うことができる。

【0035】

次に動作について説明する。

通常動作時は、インバータ20, 21, 22は無関係であり、実施の形態1の機能ブロック90がRAM91に変更になっているだけで実施の形態1と同様である。また、ロジック部80, 81のスキヤンテスト時も、基本的には実施の形態1と同様であり、テストデータ及びテスト結果のデータがインバータ20, 21, 22により反転又は非反転となっている点を配慮すれば良い。

【0036】

RAM91のテストをする場合について説明する。

まず、RAM91に対して初期データの書き込みテストを行う場合について説明する。シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。フリップフロップ30, 31, 32にクロックを3回与えると、シリアルシフト動作により、SI端子からの3ビットのテストデータがフリップフロップ30, 31, 32に格納される。ただし、フリップフロップ30, 32には、インバータ20, 21, 22により反転されたテストデータが格納されるので、SI端子からテストデータ“010”をシフトインした場合には、フリップフロップ30, 31, 32の出力のテストデータは“111”となり、RAM91の入力端子DI0, DI1, DI2にテストデータ“111”が入力される。

【0037】

SI端子から後続のテストデータ“101010・・・”をシフトインすると、RAM91の入力端子DI0, DI1, DI2に入力されるテストデータは、“111”の状態と“000”の状態を繰り返す。所望のテストデータ“111”又は“000”が設定されたときに、RAM91に対して書き込みを行う。このように、RAM91に書き込むテストデータを、オール0 (“000”) やオール1 (“111”) に1クロックサイクルで切り替えることができる。なお、このテストデータのRAM91への書き込みは、アドレスを変更しながら複数回繰り返される。

【0038】

次にRAM91の特定のアドレスに対して読み出しテストを行う場合について説明する。シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62を介してセクタ10, 11, 12から出力される。フリップフロップ30, 31, 32にクロックを1回与えると、テスト結果のデータがそれぞれフリップフロップ30, 31, 32に格納される。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。

【0039】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。フリップフロップ30, 31, 32にクロックを2回与えると、シリアルシフト動作によりフリップフロップ30, 31に格納された各1ビットのデータがSO端子にシフトアウトされ、合計3ビットのデータの内容が確認される。ただし、フリップフロップ30に格納されたデータはインバータ21, 22を通過し、フリップフロップ31に格納されたデータはインバータ22を通過してSO端子にシリアル出力されるので、これを配慮してテストを行う必要がある。なお、このRAM91の読み出しテストはアドレスを変更して複数回繰り返される。

【0040】

また、インバータ20を省略しても良く、その場合、SI端子からシフトインするテストデータを、上記の場合と反転させれば良い。

【0041】

この実施の形態2を従来の図22と比較すると、図22のセクタ50, 51, 52及びセクタ70, 71, 72が不要となる。

【0042】

以上のように、この実施の形態2によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができると共に、RAM91に書き込むテストデータを、オール0(“000”)やオール1(“111”)に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができるという効果が得られる。

【0043】

実施の形態3.

図3はこの発明の実施の形態3による半導体集積回路装置の構成を示す回路図である。この実施の形態3では、図3に示すように、実施の形態2の図2におけるインバータ20, 21, 22の代わりに、スキャンパスの直列シフト経路にインバータ40, 41, 42を挿入している。このインバータ40, 41, 42により、RAM91に書き込むテストデータを、オール0(“000”)やオール1(“111”)に1クロックサイクルで切り替えることができる。

【0044】

次に動作について説明する。

通常動作時は、インバータ40, 41, 42は無関係であり、実施の形態1の機能ブロック90がRAM91に変更になっているだけで実施の形態1と同様である。また、ロジック部80, 81のスキャンテスト時も、基本的には実施の形態1と同様であり、テストデータ及びテスト結果のデータがインバータ40, 41, 42により反転又は非反転となっている点を配慮すれば良い。

【0045】

RAM91のテストをする場合について説明する。

まず、RAM91に対して初期データの書き込みテストを行う場合について説明する。シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。フリップフロップ30, 31, 32にクロックを3回与えると、シリアルシフト動作により、SI端子からの3ビットのテストデータがフリップフロップ30, 31, 32に格納される。ただし、フリップフロップ30, 32には、インバータ40, 41, 42により反転されたテストデータが格納されるので、SI端子からテストデータ“010”をシフトインした場合には、フリップフロップ30, 31, 32の出力のテストデータは“111”となり、RAM91の入力端子DI0, DI1, DI2にテストデータ“111”が入力される。

【0046】

SI端子から後続のテストデータ“101010...”をシフトインすると、RAM91の入力端子DI0, DI1, DI2に入力されるテストデータは、“111”の状態と“000”の状態を繰り返す。所望のテストデータ“111”又は“000”が設定されたときに、RAM91に対して書き込みを行う。このように、RAM91に書き込むテストデータを、オール0(“000”)やオール1(“111”)に1クロックサイクルで切り替えることができる。なお、このテストデータのRAM91への書き込みは、アドレスを変更しながら複数回繰り返される。

【0047】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。RAM91の特定のアドレスに対して読み出しテストを行

うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62を介して、インバータ40, 41, 42により反転されてセクタ10, 11, 12から出力される。フリップフロップ30, 31, 32にクロックを1回与えると、テスト結果の反転データがそれぞれフリップフロップ30, 31, 32に格納される。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。

【0048】

次にフリップフロップ30, 31, 32に格納されたテスト結果の反転データを、RAM91の入力端子DI0, DI1, DI2に入力し、RAM91にテスト結果の反転データを書き込む。例えば、RAM91の出力端子DO0, DO1, DO2に出力されたテスト結果のデータが“000”の場合に、次のサイクルでRAM91にテストデータ“111”を書き込む。

【0049】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。フリップフロップ30, 31, 32にクロックを2回与えると、フリップフロップ30, 31に格納された各1ビットのデータがSO端子にシフトアウトされ、合計3ビットのデータの内容が確認される。ただし、フリップフロップ30に格納されたデータはインバータ41, 42を通過し、フリップフロップ31に格納されたデータはインバータ42を通過してSO端子にシフトアウトされるので、これを配慮してテストを行う必要がある。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0050】

以上のように、この実施の形態3によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができると共に、RAM91に書き込むテストデータを、オール0 (“000”) やオール1 (“111”) に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができるという効果が得られる。

【0051】

実施の形態4.

図4はこの発明の実施の形態4による半導体集積回路装置の構成を示す回路図である。実施の形態1の図1では、フリップフロップ30, 31, 32の出力を機能ブロック90の入力端子DI0, DI1, DI2に入力していたが、この実施の形態4では、図4に示すように、セクタ10, 11, 12の出力を機能ブロック90の入力端子DI0, DI1, DI2に入力している。

【0052】

次に動作について説明する。

通常動作時は、シフトモード信号SM=0に設定してセクタ10, 11, 12を“0”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。ロジック部80から出力されるデータが、セクタ10, 11, 12により選択されて、直接、機能ブロック90の入力端子DI0, DI1, DI2に入力される。

【0053】

また、機能ブロック90の出力端子DO0, DO1, DO2からのデータが、セクタ60, 61, 62により選択されてロジック部81に伝達される。このように、通常動作時は、機能ブロック90はロジック部80, 81の間に挿入された状態となり、所定の演算やデータ処理が行われる。この実施の形態4では、通常動作時はフリップフロップ30, 31, 32は無関係となり、フリップフロップ30, 31, 32にはクロックを与えなくても良い。

【0054】

ロジック部80, 81のスキャンテストについては、実施の形態1の図1と実施の形態4の図4においてスキャンパスの直列シフト経路におけるフリップフロップ30, 31,

32の位置は同じであるため、実施の形態1と同じである。

【0055】

機能ブロック90のテストを行う場合には、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。フリップフロップ30, 31, 32にクロックを2回与えると、シリアルシフト動作により、SI端子からの2ビットのテストデータがフリップフロップ30, 31に格納される。

【0056】

SI端子からの次の1ビットのテストデータは、セクタ60及びセクタ10により選択されて機能ブロック90の入力端子DI0に入力され、フリップフロップ30, 31に格納された各1ビットのテストデータは、それぞれセクタ61, 62及びセクタ11, 12により選択されて、機能ブロック90の入力端子DI1, DI2に入力される。機能ブロック90は所望の動作を行ない、テスト結果のデータを機能ブロック90の出力端子DO0, DO1, DO2に出力する。

【0057】

次にテストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替え、フリップフロップ30, 31, 32にクロックを1回与えると、機能ブロック90の出力端子DO0, DO1, DO2からのテスト結果のデータがフリップフロップ30, 31, 32に格納される。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。

【0058】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替え、フリップフロップ30, 31, 32にクロックを2回与えると、フリップフロップ30, 31に格納された各1ビットのデータはSO端子にシフトアウトされて、合計3ビットのデータの内容が確認される。なお、この機能ブロック90のテストは、SI端子から入力するテストデータを変更して複数回繰り返される。

【0059】

以上のように、この実施の形態4によれば、テスト回路の規模を大きくせずに機能ブロック90単独でテストすることができると共に、通常動作時は、フリップフロップ30, 31, 32にはクロックを与えなくても済むという効果が得られる。

【0060】

実施の形態5.

図5はこの発明の実施の形態5による半導体集積回路装置の構成を示す回路図である。実施の形態2の図2では、フリップフロップ30, 31, 32の出力をRAM91の入力端子DI0, DI1, DI2に入力していたが、この実施の形態5では、図5に示すように、セクタ10, 11, 12の出力をRAM91の入力端子DI0, DI1, DI2に入力している。

【0061】

次に動作について説明する。

通常動作時は、インバータ20, 21, 22及びフリップフロップ30, 31, 32は無関係で、実施の形態4の機能ブロック90がRAM91に変更になっているだけで実施の形態4と同様であり、フリップフロップ30, 31, 32にはクロックを与えなくても良い。また、ロジック部80, 81のスキャンテスト時も、基本的には実施の形態4と同様であり、インバータ20, 21, 22によりテストデータ及びテスト結果のデータが反転又は非反転となっている点を配慮すれば良い。

【0062】

RAM91のテストをする場合について説明する。まず、RAM91に対して初期データの書き込みテストを行う場合について説明する。シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。フリップフロップ3

0, 31, 32にクロックを2回与えると、シリアルシフト動作により、SI端子からの2ビットのテストデータがフリップフロップ30, 31に格納される。

【0063】

ただし、フリップフロップ30には反転されたテストデータが格納されるので、SI端子から“10”をシフトインした場合には、フリップフロップ30, 31の出力は“11”になる。フリップフロップ30の出力はインバータ21を介してRAM91の入力端子DI1に入力され、フリップフロップ31の出力はインバータ22を介してRAM91の入力端子DI2に入力され、RAM91の入力端子DI1, DI2に入力されるテストデータは“00”になる。また、SI端子から後続のテストデータ“1”を与えると、インバータ20を介してRAM91の入力端子DI0に入力され、RAM91の入力端子DI0, DI1, DI2に入力されるテストデータは“000”になる。

【0064】

SI端子から後続のテストデータ“101010...”（先頭の“1”は前述のテストデータ“1”）をシフトインすると、RAM91の入力端子DI0, DI1, DI2に入力されるテストデータは“000”の状態と、“111”の状態を交互に繰り返す。所望のデータ“000”又は“111”が入力されたときに、RAM91に対して書き込みを行う。このように、RAM91に書き込むテストデータを、オール0（“000”）やオール1（“111”）に1クロックサイクルで切り替えることができる。なお、このテストデータのRAM91への書き込みは、アドレスを変更しながら複数回繰り返される。

【0065】

RAM91の特定のアドレスに対して読み出しテストを行う場合については、実施の形態2と同じである。また、実施の形態2と同様にインバータ20を省略しても良い。

【0066】

以上のように、この実施の形態5によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91に書き込むテストデータを、オール0（“000”）やオール1（“111”）に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができると共に、通常動作時は、フリップフロップ30, 31, 32にはクロックを与えなくても済むという効果が得られる。

【0067】

実施の形態6.

図6はこの発明の実施の形態6による半導体集積回路装置の構成を示す回路図である。実施の形態3の図3では、フリップフロップ30, 31, 32の出力をRAM91の入力端子DI0, DI1, DI2に入力していたが、この実施の形態6では、図6に示すように、セクタ10, 11, 12の出力をRAM91の入力端子DI0, DI1, DI2に入力している。

【0068】

次に動作について説明する。

通常動作時は、インバータ40, 41, 42及びフリップフロップ30, 31, 32は無関係で、実施の形態4の機能ブロック90がRAM91に変更になっているだけで実施の形態4と同様であり、フリップフロップ30, 31, 32にはクロックを与えなくても良い。また、ロジック部80, 81のスキャンテスト時も、基本的には実施の形態4と同様であり、インバータ40, 41, 42によりテストデータ及びテスト結果のデータが反転又は非反転となっている点を配慮すれば良い。

【0069】

RAM91のテストをする場合について説明する。RAM91に対して初期データの書き込みテストを行う場合については、インバータ20, 21, 22がインバータ40, 41, 42になっているだけで実施の形態5と同じである。

【0070】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”

入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62を介してインバータ40, 41, 42により反転されてセクタ10, 11, 12から出力される。

【0071】

次にセクタ10, 11, 12から出力されるテスト結果の反転データを、RAM91の入力端子DI0, DI1, DI2に inputs し、RAM91にテスト結果の反転データを書き込む。例えば、RAM91の出力端子DO0, DO1, DO2に出力されたテスト結果のデータが“000”の場合に、次のサイクルでRAM91にテストデータ“111”を書き込む。

【0072】

次にフリップフロップ30, 31, 32にクロックを1回与えると、セクタ10, 11, 12から出力されるテスト結果の反転データがそれぞれフリップフロップ30, 31, 32に格納される。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。

【0073】

次にTEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。フリップフロップ30, 31, 32にクロックを2回与えると、フリップフロップ30, 31に格納された各1ビットのデータがSO端子にシフトアウトされ、合計3ビットのデータの内容が確認される。ただし、フリップフロップ30に格納されたデータはインバータ41, 42を通過し、フリップフロップ31に格納されたデータはインバータ42を通過してSO端子にシフトアウトされるので、これを配慮してテストを行う必要がある。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0074】

以上のように、この実施の形態6によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91に書き込むテストデータを、オール0 (“000”) やオール1 (“111”) に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができると共に、通常動作時は、フリップフロップ30, 31, 32にはクロックを与えなくても済むという効果が得られる。

【0075】

実施の形態7.

図7はこの発明の実施の形態7による半導体集積回路装置の構成を示す回路図である。この実施の形態7では、図7に示すように、実施の形態6の図6に、SO端子へ出力されるデータをSI端子側にフィードバックするセクタ100 (第3のセクタ) を追加している。このセクタ100はループイネーブル信号LOOPENにより制御される。実施の形態2の図2、実施の形態3の図3、実施の形態5の図5にも、同様にセクタ100を追加可能である。

【0076】

次に動作について説明する。

通常動作時は、シフトモード信号SM=0に設定してセクタ10, 11, 12を“0”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。通常動作時は、インバータ40, 41, 42及びフリップフロップ30, 31, 32は無関係で、実施の形態4の機能ブロック90がRAM91に変更になっているだけで実施の形態4と同様であり、フリップフロップ30, 31, 32にはクロックを与えなくても良い。

【0077】

また、ロジック部80, 81のスキャンテスト時は、ループイネーブル信号LOOPEN=0に設定してセクタ100を“0”入力端に切り替え、テストモード信号TEST

2 = 1 に設定してセクタ 6 0, 6 1, 6 2 を “1” 入力端に切り替える。このロジック部 8 0, 8 1 のスキャンテストも、基本的には実施の形態 4 と同様であり、インバータ 4 0, 4 1, 4 2 によりテストデータ及びテスト結果のデータが反転又は非反転となっている点を配慮すれば良い。

【0078】

RAM 9 1 のテストをする場合について説明する。

まず、RAM 9 1 に対して初期データの書き込みテストを行う場合について説明する。ループイネーブル信号 LOOPEN = 0 に設定してセクタ 1 0 0 を “0” 入力端に切り替え、シフトモード信号 SM = 1 に設定してセクタ 1 0, 1 1, 1 2 を “1” 入力端に切り替え、テストモード信号 TEST 2 = 1 に設定して、セクタ 6 0, 6 1, 6 2 を “1” 入力端に切り替える。

【0079】

フリップフロップ 3 0, 3 1, 3 2 にクロックを 3 回与えると、シリアルシフト動作により、SI 端子からの 3 ビットのテストデータがフリップフロップ 3 0, 3 1, 3 2 に格納される。ただし、フリップフロップ 3 0, 3 2 には反転されたテストデータが格納されるので、SI 端子から “0 1 0” をシフトインした場合には、フリップフロップ 3 0, 3 1, 3 2 の出力は “1 1 1” になる。この状態では、SI 端子の次のテストデータがインバータ 4 0 により反転されて RAM 9 1 の入力端子 DI 0 に伝達され、フリップフロップ 3 0 の出力のデータ “1” がインバータ 4 1 により反転されて RAM 9 1 の入力端子 DI 1 に伝達され、フリップフロップ 3 1 の出力のデータ “1” がインバータ 4 2 により反転されて RAM 9 1 の入力端子 DI 2 に伝達される。

【0080】

次にループイネーブル信号 LOOPEN = 1 に設定してセクタ 1 0 0 を “1” 入力端に切り替えると、フリップフロップ 3 2 の出力のデータ “1” がインバータ 4 0 を介して RAM 9 1 の入力端子 DI 0 に伝達され、RAM 9 1 の入力端子 DI 0, DI 1, DI 2 のデータは “0 0 0” になる。ループイネーブル信号 LOOPEN = 1 の状態で、フリップフロップ 3 0, 3 1, 3 2 にクロックを与える毎に、インバータ 4 0, 4 1, 4 2 により RAM 9 1 の入力端子 DI 0, DI 1, DI 2 のデータは変化し、“0 0 0” の状態と “1 1 1” の状態を繰り返す。所望のテストデータ “0 0 0” 又は “1 1 1” が設定されたときに RAM 9 1 に対して書き込みを行う。このテストデータの RAM 9 1 の書き込みは、アドレスを変更しながら複数回繰り返される。

【0081】

RAM 9 1 の特定のアドレスに対して読み出し及び書き込みテストを行う場合については、実施の形態 6 と同じである。この場合、ループイネーブル信号 LOOPEN の設定はどちらでも良い。

【0082】

なお、この実施の形態 7 では、RAM 9 1 に対して初期データの書き込みテストを行う場合に、フリップフロップ 3 0, 3 1, 3 2 の出力が “1 1 1” になるように、SI 端子からテストデータをシフトインしているが、フリップフロップ 3 0, 3 1, 3 2 の出力が “0 0 0” になるように、SI 端子からテストデータをシフトインしても良い。

【0083】

以上のように、この実施の形態 7 によれば、テスト回路の規模を大きくせずに RAM 9 1 単独でテストすることができ、RAM 9 1 に書き込むテストデータを、オール 0 (“0 0 0”) やオール 1 (“1 1 1”) に 1 クロックサイクルで切り替えることができ、RAM 9 1 のテストを効率的に行うことができると共に、通常動作時は、フリップフロップ 3 0, 3 1, 3 2 にはクロックを与えなくても済むという効果が得られる。

【0084】

また、この実施の形態 7 によれば、ループイネーブル信号 LOOPEN = 0 に設定し、SI 端子からフリップフロップ 3 0, 3 1, 3 2 に “1 1 1” 又は “0 0 0” になるようなテストデータをシフトインし、その後、ループイネーブル信号 LOOPEN = 1 に切り

替えておけば、フリップフロップ30, 31, 32にクロックを与える毎に、RAM91の入力端子DI0~DI2へのデータは“111”と“000”の状態を交互に繰り返すので、SI端子から新たにテストデータを与える必要はなく、RAM91のテストを容易にすることができるという効果が得られる。

【0085】

実施の形態8.

図8はこの発明の実施の形態8による半導体集積回路装置の構成を示す回路図である。この実施の形態8では、図8に示すように、実施の形態7の図7にRAM91から出力されるテスト結果のデータを短時間でモニタするためのゲート回路110を追加している。このゲート回路110はセクタ60, 61, 62の出力のデータが同一値であることを検出するものである。図8ではゲート回路110としてANDゲートを使用しているが、NANDゲート、ORゲート、NORゲートのいずれかを使用しても良い。

【0086】

次に動作について説明する。

通常動作時及びロジック部80, 81のスキャンテスト時の動作は実施の形態7と同じである。また、RAM91のテストでRAM91に対して初期データの書き込みテストを行う場合の動作も実施の形態7と同じである。

【0087】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=1に設定してセクタ100を“1”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。

【0088】

RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62を介してゲート回路110の入力に伝えられる。このとき、テスト結果のデータが“111”であれば、ゲート回路110から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“111”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0089】

また、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータは、インバータ40, 41, 42により反転されてRAM91の入力端子DI0, DI1, DI2に与えられる。次にこのテスト結果の反転データを、RAM91に書き込むと同時に、フリップフロップ30, 31, 32にクロックを与えると、フリップフロップ30, 31, 32がこのテスト結果の反転データを格納する。

【0090】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替えると、フリップフロップ30, 31, 32に格納されているテスト結果の反転データが、それぞれセクタ60, 61, 62を介してゲート回路110の入力に伝えられる。テスト結果のデータが“000”であれば、ゲート回路110の入力は“111”となり、ゲート回路110から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“000”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすることにより、RAM91の出力端子DO0, DO1, DO2から出力されるテスト結果のデータが“000”か否かを、SO端子からシフトアウトしなくても判定することができる。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0091】

以上のように、この実施の形態 8 によれば、テスト回路の規模を大きくせずに RAM 91 単独でテストすることができ、RAM 91 に書き込むテストデータを、オール 0 (“000”) やオール 1 (“111”) に 1 クロックサイクルで切り替えることができ、RAM 91 のテストを効率的に行うことができると共に、通常動作時は、フリップフロップ 30, 31, 32 にはクロックを与えなくても済むという効果が得られる。

【0092】

また、この実施の形態 8 によれば、ループイネーブル信号 LOOPEN=0 に設定し、SI 端子からフリップフロップ 30, 31, 32 に “111” 又は “000” になるようなテストデータをシフトインし、その後、ループイネーブル信号 LOOPEN=1 に切り替えておけば、フリップフロップ 30, 31, 32 にクロックを与える毎に、RAM 91 の入力端子 DI0~DI2 は “111” と “000” の状態を交互に繰り返すので、SI 端子から新たにテストデータを与える必要はなく、RAM 91 のテストを容易にすることができるという効果が得られる。

【0093】

さらに、この実施の形態 8 によれば、RAM 91 の出力端子 DO0, DO1, DO2 からのテスト結果のデータが “111” であるかのテストと、“000” であるかのテストを、SO 端子からシフトアウトしなくてもモニタ信号 MONI のチェックだけで行えるので、RAM 91 のテストを容易にすることができるという効果が得られる。

【0094】

実施の形態 9.

図 9 はこの発明の実施の形態 9 による半導体集積回路装置の構成を示す回路図である。この実施の形態 9 では、図 9 に示すように、実施の形態 8 の図 8 におけるゲート回路 110 を、セクタ 60, 61, 62 の出力側よりインバータ 40, 41, 42 の出力側にゲート回路 111 として移動している。このゲート回路 111 はインバータ 40, 41, 42 の出力のデータが同一値であることを検出するものである。図 9 ではゲート回路 111 として AND ゲートを使用しているが、NAND ゲート、OR ゲート、NOR ゲートのいずれかを使用しても良い。

【0095】

次に動作について説明する。

通常動作時及びロジック部 80, 81 のスキャンテスト時の動作は実施の形態 7 と同じである。また、RAM 91 のテストで RAM 91 に対して初期データの書き込みテストを行う場合の動作も実施の形態 7 と同じである。

【0096】

次に RAM 91 の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号 LOOPEN=1 に設定してセクタ 100 を “1” 入力端に切り替え、シフトモード信号 SM=1 に設定してセクタ 10, 11, 12 を “1” 入力端に切り替え、テストモード信号 TEST2=0 に設定してセクタ 60, 61, 62 を “0” 入力端に切り替える。

【0097】

RAM 91 の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータが RAM 91 の出力端子 DO0, DO1, DO2 に出力され、それぞれセクタ 60, 61, 62 を介してインバータ 40, 41, 42 により反転されてゲート回路 111 の入力に伝えられる。このとき、テスト結果のデータが “000” であれば、ゲート回路 111 から出力されるモニタ信号 MONI は “1” になり、テスト結果のデータが “000” 以外であれば、モニタ信号 MONI は “0” になる。従って、モニタ信号 MONI をチェックすれば、RAM 91 の出力端子 DO0, DO1, DO2 からのテスト結果のデータが “000” か否かを、SO 端子からシフトアウトしなくても判定することができる。

【0098】

また、RAM 91 の出力端子 DO0, DO1, DO2 からのテスト結果のデータは、インバータ 40, 41, 42 により反転されて RAM 91 の入力端子 DI0, DI1, DI

2に与えられる。次にこのテスト結果の反転データを、RAM91に書き込むと同時に、フリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32がこのテスト結果の反転データを格納する。

【0099】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替えると、フリップフロップ30, 31, 32に格納されたテスト結果の反転データが、それぞれセクタ60, 61, 62に伝えられる。セクタ60, 61, 62の出力のテスト結果の反転データは、インバータ40, 41, 42によりさらに反転されてゲート回路111の入力に伝えられる。テスト結果のデータが“111”であれば、ゲート回路111の入力は“111”となり、ゲート回路111から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“111”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすることにより、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”か否かを、SO端子からシフトアウトしなくても判定することができる。なお、RAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0100】

以上のように、この実施の形態9によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91に書き込むテストデータを、オール0 (“000”)やオール1 (“111”)に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができると共に、通常動作時は、フリップフロップ30, 31, 32にはクロックを与えなくても済むという効果が得られる。

【0101】

また、この実施の形態9によれば、ループイネーブル信号LOOPEN=0に設定し、SI端子からフリップフロップ30, 31, 32に“111”又は“000”になるようなテストデータをシフトインし、その後、ループイネーブル信号LOOPEN=1に切り替えておけば、フリップフロップ30, 31, 32にクロックを与える毎に、RAM91の入力端子DI0~DI2は“111”と“000”の状態を交互に繰り返すので、SI端子から新たにテストデータを与える必要はなく、RAM91のテストを容易にすることができるという効果が得られる。

【0102】

さらに、この実施の形態9によれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“000”であるかのテストと、“111”であるかのテストを、SO端子からシフトアウトしなくてもモニタ信号MONIのチェックだけで行えるので、RAM91のテストを容易にすることができるという効果が得られる。

【0103】

実施の形態10.

図10はこの発明の実施の形態10による半導体集積回路装置の構成を示す回路図である。この実施の形態10では、図10に示すように、実施の形態8の図8におけるゲート回路110を、セクタ60, 61, 62の出力側よりセクタ10, 11, 12の出力側にゲート回路112として移動している。このゲート回路112はセクタ10, 11, 12の出力のデータが同一値であることを検出するものである。図10ではゲート回路112としてANDゲートを使用しているが、NANDゲート、ORゲート、NORゲートのいずれかを使用しても良い。

【0104】

次に動作について説明する。

通常動作時及びロジック部80, 81のスキャンテスト時の動作は実施の形態7と同じである。また、RAM91のテストでRAM91に対して初期データの書き込みテストを行う場合の動作も実施の形態7と同じである。さらに、RAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合については、ゲート回路112が、セクタ10, 11, 12から出力されるデータにより、RAM91の出力端子DO0, DO1,

DO2からのテスト結果のデータが“000”であるか、“111”であるかを判定していることを除いて、実施の形態9と同じである。

【0105】

以上のように、この実施の形態10によれば実施の形態9と同様の効果が得られる。

【0106】

実施の形態11.

図11はこの発明の実施の形態11による半導体集積回路装置の構成を示す回路図である。この実施の形態11では、図11に示すように、実施の形態8の図8におけるゲート回路110を、セクタ60, 61, 62の出力側よりフリップフロップ30, 31, 32の出力側にゲート回路113として移動している。このゲート回路113はフリップフロップ30, 31, 32の出力のデータが同一値であることを検出するものである。図11ではゲート回路113としてANDゲートを使用しているが、NANDゲート、ORゲート、NORゲートのいずれかを使用しても良い。

【0107】

次に動作について説明する。

通常動作時及びロジック部80, 81のスキャンテスト時の動作は実施の形態7と同じである。また、RAM91のテストでRAM91に対して初期データの書き込みテストを行う場合の動作も実施の形態7と同じである。

【0108】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=1に設定してセクタ100を“1”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。

【0109】

RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62及びセクタ10, 11, 12を介して、インバータ40, 41, 42により反転されて、テスト結果の反転データがフリップフロップ30, 31, 32の入力及びRAM91の入力端子DI0, DI1, DI2に伝えられる。

【0110】

次にテスト結果の反転データをRAM91に書き込むと同時に、フリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32はこのテスト結果の反転データを格納し、テスト結果の反転データはゲート回路113の入力に伝えられる。

【0111】

このとき、テスト結果のデータが“000”であれば、フリップフロップ30, 31, 32の出力データは“111”であり、ゲート回路113から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“000”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“000”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0112】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替え、フリップフロップ30, 31, 32に格納されているテスト結果の反転データが、それぞれセクタ60, 61, 62に伝えられる。セクタ60, 61, 62の出力のテスト結果の反転データは、インバータ40, 41, 42によりさらに反転されてテスト結果のデータとなり、セクタ10, 11, 12を介してフリップフロップ30, 31, 32の入力に伝えられる。次にフリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32がテスト結果のデータを格納し、

ゲート回路 113 の入力に伝えられる。

【0113】

テスト結果のデータが“111”であれば、ゲート回路 113 の入力は“111”となり、ゲート回路 111 から出力されるモニタ信号 MONI は“1”になり、テスト結果のデータが“111”以外であれば、モニタ信号 MONI は“0”になる。このように、モニタ信号 MONI をチェックすることにより、RAM 91 の出力端子 DO0, DO1, DO2 からのテスト結果のデータが“111”か否かを、SO 端子からシフトアウトしなくても判定することができる。なお、RAM 91 の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0114】

以上のように、この実施の形態 11 によれば実施の形態 9 と同様の効果が得られる。

【0115】

実施の形態 12.

図 12 はこの発明の実施の形態 12 による半導体集積回路装置の構成を示す回路図である。実施の形態 4 の図 4 では、フリップフロップ 30, 31, 32 の入力をセクタ 10, 11, 12 の出力に接続していたが、この実施の形態 12 では、図 12 に示すように、フリップフロップ 30, 31, 32 の入力をセクタ 60, 61, 62 の出力に接続し、フリップフロップ 30, 31, 32 の出力をロジック部 81 に接続し、セクタ 12 の出力から SO 端子の間にフリップフロップ 33 が追加されている。これにより、通常動作時には回路規模の増加なしで、フリップフロップ 30, 31, 32 を通常動作時の機能ブロック 90 の出力レジスタとして利用することができる。

【0116】

次に動作について説明する。

通常動作時は、シフトモード信号 SM=0 に設定してセクタ 10, 11, 12 を“0”入力端に切り替え、テストモード信号 TEST2=0 に設定してセクタ 60, 61, 62 を“0”入力端に切り替える。ロジック部 80 から出力されるデータが、セクタ 10, 11, 12 により選択されて、直接、機能ブロック 90 の入力端子 DI0, DI1, DI2 に入力される。

【0117】

機能ブロック 90 の出力端子 DO0, DO1, DO2 からのデータは、セクタ 60, 61, 62 により選択されてフリップフロップ 30, 31, 32 の入力に伝達され、フリップフロップ 30, 31, 32 の出力はロジック部 81 に接続されているので、通常動作時は、機能ブロック 90 とフリップフロップ 30, 31, 32 はロジック部 80, 81 の間に挿入された状態となり、フリップフロップ 30, 31, 32 にクロックを与えることで所定の演算やデータ処理が行われる。このとき、フリップフロップ 30, 31, 32 は機能ブロック 90 の出力レジスタとして動作する。

【0118】

ロジック部 80, 81 のスキャンテストを行う場合は、テストモード信号 TEST2=1 に設定してセクタ 60, 61, 62 を“1”入力端に切り替える。この状態では機能ブロック 90 はバイパスされ、スキャンバスがロジック部 80 とロジック部 81 の間に挿入された状態になる。その状態でシフトモード信号 SM を制御してロジック部 80, 81 のスキャンテストを行う。

【0119】

ロジック部 81 のスキャンテストを行う場合には、シフトモード信号 SM=1 に設定してセクタ 10, 11, 12 を“1”入力端に切り替え、フリップフロップ 30, 31, 32 にクロックを 3 回与える（フリップフロップ 33 に与えても良い）と、SI 端子からの 3 ビットのテストデータが、シリアルシフト動作によりフリップフロップ 30, 31, 32 に格納される。

【0120】

このフリップフロップ 30, 31, 32 が出力する 3 ビットのテストデータがロジック

部 81 に入力され、ロジック部 81 が所望の動作を行う。ロジック部 81 の出力は図示されていない他のスキャンパスや LSI の出力バッファに接続されており、従来の方法でテストされる。

【0121】

ロジック部 80 のスキャンテストを行う場合について説明する。ロジック部 80 の入力 は図示されていない他のスキャンパスのフリップフロップ出力や LSI の入力バッファに 接続されており、従来の方法でテストデータが与えられる。このテストデータにより ロジック部 80 が所望の動作を行い、ロジック部 80 のテスト結果の出力はセクタ 10, 11, 12 の “0” 入力端に伝達される。シフトモード信号 SM=0 に設定してセクタ 10, 11, 12 を “0” 入力端に切り替え、フリップフロップ 31, 32, 33 に クロックを 1 回与える（フリップフロップ 30 に与えても良い）と、ロジック部 80 から のテスト結果の 3 ビットのデータがフリップフロップ 31, 32, 33 にそれぞれ格納さ れる。このとき、フリップフロップ 33 に格納された 1 ビットのデータは SO 端子に出力 される。

【0122】

次にシフトモード信号 SM=1 に設定してセクタ 10, 11, 12 を “1” 入力端に 切り替え、フリップフロップ 31, 32, 33 にクロックを 2 回与える（フリップフロップ 30 に与えても良い）と、フリップフロップ 31, 32 に格納された各 1 ビットのデー タは SO 端子にシフトアウトされて、合計 3 ビットのデータの内容が確認される。この場 合、ロジック部 81 に対する次のテストデータを SI 端子からフリップフロップ 30, 31 に格納することもできる。なお、このロジック部 80 とロジック部 81 のスキャンテス トは、入力するテストデータを変更して複数回繰り返される。

【0123】

機能ブロック 90 のテストを行う場合には、シフトモード信号 SM=1 に設定してセレクタ 10, 11, 12 を “1” 入力端に切り替え、テストモード信号 TEST2=1 に設 定してセクタ 60, 61, 62 を “1” 入力端に切り替える。フリップフロップ 30, 31, 32 にクロックを 3 回与える（フリップフロップ 33 に与えても良い）と、シリアルシフト動作により、SI 端子からの 3 ビットのテストデータがフリップフロップ 30, 31, 32 に格納される。

【0124】

このフリップフロップ 30, 31, 32 に格納された 3 ビットのテストデータがセクタ 10, 11, 12 により選択されて、機能ブロック 90 の入力端子 DI0, DI1, DI2 に入力される。機能ブロック 90 は所望の動作を行ない（必要であればクロックを与 える）、テスト結果のデータを機能ブロック 90 の出力端子 DO0, DO1, DO2 に出力する。

【0125】

次にテストモード信号 TEST2=0 に設定してセクタ 60, 61, 62 を “0” 入 力端に切り替え、フリップフロップ 30, 31, 32 にクロックを 1 回与えると、機能ブ ロック 90 の出力端子 DO0, DO1, DO2 からのテスト結果のデータがフリップフロ ップ 30, 31, 32 に格納される。

【0126】

次にテストモード信号 TEST2=1 に設定してセクタ 60, 61, 62 を “1” 入 力端に切り替え、フリップフロップ 31, 32, 33 にクロックを 3 回与える（フリップ フロップ 30 に与えても良い）と、フリップフロップ 30, 31, 32 に格納された各 1 ビットのデータは SO 端子にシフトアウトされて、合計 3 ビットのデータの内容が確認さ れる。なお、この機能ブロック 90 のテストは、SI 端子から入力するテストデータを変 更して複数回繰り返される。

【0127】

以上のように、この実施の形態 12 によれば、テスト回路の規模を大きくせずに機能ブ ロック 90 単独でテストすることができると共に、通常動作時では回路規模の増加なしで

、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができるという効果が得られる。

【0128】

実施の形態13.

図13はこの発明の実施の形態13による半導体集積回路装置の構成を示す回路図である。実施の形態8の図8では、フリップフロップ30, 31, 32の入力をセクタ10, 11, 12の出力に接続していたが、この実施の形態13では、図13に示すように、フリップフロップ30, 31, 32の入力をセクタ60, 61, 62の出力に接続し、フリップフロップ30, 31, 32の出力をロジック部81に接続し、セクタ12の出力からSO端子の間にフリップフロップ33が追加されている。これにより、通常動作時では回路規模の増加なしで、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができる。図13ではゲート回路110としてANDゲートを使用しているが、NANDゲート、ORゲート、NORゲートのいずれかを使用しても良い。

【0129】

次に動作について説明する。

通常動作時は、シフトモード信号SM=0に設定してセクタ10, 11, 12を“0”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。ロジック部80から出力されるデータが、セクタ10, 11, 12により選択されて、直接、RAM91の入力端子DI0, DI1, DI2に入力される。

【0130】

RAM91の出力端子DO0, DO1, DO2からのデータは、セクタ60, 61, 62により選択されてフリップフロップ30, 31, 32の入力に伝達され、フリップフロップ30, 31, 32の出力をロジック部81に接続しているので、通常動作時は、RAM91とフリップフロップ30, 31, 32はロジック部80, 81の間に挿入された状態となり、フリップフロップ30, 31, 32にクロックを与えることで所定の演算やデータ処理が行われる。このとき、フリップフロップ30, 31, 32はRAM91の出力レジスタとして動作する。

【0131】

また、ロジック部80, 81のスキランテスト時は、ループイネーブル信号LOOPEN=0に設定してセクタ100を“0”入力端に切り替え、テストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替える。この状態ではRAM91はバイパスされ、スキランパスがロジック部80とロジック部81の間に挿入された状態になる。その状態でシフトモード信号SMを制御してロジック部80, 81のスキランテストを行う。

【0132】

ロジック部81のスキランテストを行う場合には、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、フリップフロップ30, 31, 32にクロックを3回与える（フリップフロップ33に与えても良い）と、SI端子からの3ビットのテストデータが、シリアルシフト動作によりフリップフロップ30, 31, 32に格納される。このとき、直列シフト経路に挿入されたインバータ40, 41, 42に配慮して適切なテストデータを与える必要がある。

【0133】

このフリップフロップ30, 31, 32が出力する3ビットのテストデータがロジック部81に入力され、ロジック部81が所望の動作を行う。ロジック部81の出力は図示されていない他のスキランパスやLSIの出力バッファに接続されており、従来の方法でテストされる。

【0134】

ロジック部80のスキランテストを行う場合について説明する。ロジック部80の入力

は図示されていない他のスキャンパスのフリップフロップ出力やLSIの入力バッファに接続されており、従来の方法でテストデータが与えられる。このテストデータにより、ロジック部80が所望の動作を行い、ロジック部80のテスト結果の出力はセクタ10, 11, 12の“0”入力端に伝達される。シフトモード信号SM=0に設定してセクタ10, 11, 12を“0”入力端に切り替え、フリップフロップ31, 32, 33にクロックを1回与える（フリップフロップ30に与えても良い）と、ロジック部80からのテスト結果の3ビットのデータがフリップフロップ31, 32, 33にそれぞれ格納される。このとき、フリップフロップ33に格納された1ビットのデータはSO端子に出力される。

【0135】

次にシフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、フリップフロップ31, 32, 33にクロックを2回与える（フリップフロップ30に与えても良い）と、フリップフロップ31, 32に格納された各1ビットのデータはSO端子にシフトアウトされて、合計3ビットのデータの内容が確認される。この場合、ロジック部81に対する次のテストデータをSI端子からフリップフロップ30, 31に格納することもできる。また、このとき、直列シフト経路に挿入されたインバータ40, 41, 42に配慮して適切なテストデータを与える必要がある。なお、このロジック部80とロジック部81のスキャンテストは、入力するテストデータを変更して複数回繰り返される。

【0136】

RAM91のテストをする場合について説明する。

まず、RAM91に対して初期データの書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=0に設定してセクタ100を“0”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=1に設定して、セクタ60, 61, 62を“1”入力端に切り替える。

【0137】

フリップフロップ30, 31, 32にクロックを3回与えると、シリアルシフト動作により、SI端子からの3ビットのテストデータがフリップフロップ30, 31, 32に格納される。ただし、フリップフロップ31には反転されたテストデータが格納されるので、SI端子から“101”をシフトインした場合には、フリップフロップ30, 31, 32の出力は“111”になる。フリップフロップ30, 31, 32の出力はインバータ40, 41, 42により反転され、セクタ10, 11, 12により選択されて、データ“000”がRAM91の入力端子DI0, DI1, DI2に伝達される。

【0138】

次にループイネーブル信号LOOPEN=1に設定してセクタ100を“1”入力端に切り替えて、フリップフロップ30, 31, 32にクロックを与える毎に、インバータ40, 41, 42によりRAM91の入力端子DI0, DI1, DI2のデータは変化し、“000”の状態と“111”の状態を繰り返す。所望のテストデータ“000”又は“111”が設定されたときにRAM91に対して書き込みを行う。このテストデータのRAM91の書き込みは、アドレスを変更しながら複数回繰り返される。

【0139】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=1に設定してセクタ100を“1”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。

【0140】

RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61

、62を介してゲート回路110の入力に伝えられる。このとき、テスト結果のデータが“111”であれば、ゲート回路110から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“111”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0、DO1、DO2からのテスト結果のデータが“111”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0141】

次にフリップフロップ30、31、32にクロックを1回与えると、フリップフロップ30、31、32がこのテスト結果のデータを格納する。次にテストモード信号TEST2=1に設定してセクタ60、61、62を“1”入力端に切り替えると、フリップフロップ30、31、32に格納されているデータは、インバータ42、40、41により反転され、セクタ12、10、11により選択されて、RAM91の入力端子DI2、DI0、DI1に伝達されると共に、セクタ60、61、62の“1”入力端に伝達される。この場合、フリップフロップ32に格納されているデータは、セクタ100の“1”入力端を経由する。

【0142】

このとき、RAM91のテスト結果のデータが“000”であれば、ゲート回路110から出力されるモニタ信号MONIは“1”になり、RAM91のテスト結果のデータが“000”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0、DO1、DO2からのテスト結果のデータが“000”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0143】

次にこのテスト結果の反転データ（故障がない場合、“000”又は“111”）をRAM91に書き込む。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0144】

以上のように、この実施の形態13によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91に書き込むテストデータを、オール0（“000”）やオール1（“111”）に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができるという効果が得られる。

【0145】

また、この実施の形態13によれば、ループイネーブル信号LOOPEN=0に設定し、SI端子からフリップフロップ30、31、32に“111”又は“000”になるようなテストデータをシフトインし、その後、ループイネーブル信号LOOPEN=1に切り替えておけば、フリップフロップ30、31、32にクロックを与える毎に、RAM91の入力端子DI0～DI2は“111”と“000”の状態を交互に繰り返すので、SI端子から新たにテストデータを与える必要はなく、RAM91のテストを容易にすることができるという効果が得られる。

【0146】

さらに、この実施の形態13によれば、RAM91の出力端子DO0、DO1、DO2からのテスト結果のデータが“111”であるかのテストと、“000”であるかのテストを、SO端子からシフトアウトしなくてもモニタ信号MONIのチェックだけで行えるので、RAM91のテストを容易にすることができるという効果が得られる。

【0147】

さらに、この実施の形態13によれば、通常動作時では回路規模の増加なしで、フリップフロップ30、31、32を通常動作時のRAM91の出力レジスタとして利用することができるという効果が得られる。

【0148】

実施の形態14.

図14はこの発明の実施の形態14による半導体集積回路装置の構成を示す回路図である。この実施の形態14では、図14に示すように、実施の形態13の図13におけるゲート回路110を、セクタ60, 61, 62の出力側よりインバータ40, 41, 42の出力側にゲート回路114として移動している。このゲート回路114はインバータ40, 41, 42の出力のデータが同一値であることを検出するもので、これに配慮してRAM91のテストを行えば良い。図14ではゲート回路114としてANDゲートを使用しているが、NANDゲート、ORゲート、NORゲートのいずれかを使用しても良い。また、図14では、図13と同様に、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができる。

【0149】

次に動作について説明する。

通常動作時及びロジック部80, 81のスキャンテスト時の動作は実施の形態13と同じである。また、RAM91のテストでRAM91に対して初期データの書き込みテストを行う場合の動作も実施の形態13と同じである。

【0150】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=1に設定してセクタ100を“1”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。

【0151】

RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62を介してフリップフロップ30, 31, 32の入力に伝えられる。フリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32がこのテスト結果のデータを格納する。フリップフロップ30, 31, 32に格納されたテスト結果のデータは、インバータ40, 41, 42により反転され、ゲート回路114の入力に伝えられる。

【0152】

このとき、テスト結果のデータが“000”であれば、ゲート回路114から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“000”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“000”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0153】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替えて、RAM91にテスト結果の反転データを書き込むと共に、フリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32に格納されているデータは、インバータ42, 40, 41により反転され、セクタ12, 10, 11により選択されて、セクタ60, 61, 62の“1”入力端を経由し、フリップフロップ30, 31, 32に取り込まれて出力される。この場合、フリップフロップ32に格納されているデータは、セクタ100の“1”入力端を経由する。

【0154】

フリップフロップ30, 31, 32の出力データがインバータ40, 41, 42により反転されてゲート回路114の入力に伝達されるので、フリップフロップ30, 31, 32の出力が“000”（テスト結果のデータが“111”）の場合には、ゲート回路114から出力されるモニタ信号MONIは“1”になり、RAM91のテスト結果のデータが“111”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”か否かを、SO端子からシフトアウトしなくても判定することが

できる。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0155】

以上のように、この実施の形態14によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91に書き込むテストデータを、オール0 (“000”) やオール1 (“111”) に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができるという効果が得られる。

【0156】

また、この実施の形態14によれば、ループイネーブル信号LOOPEN=0に設定し、SI端子からフリップフロップ30, 31, 32に“111”又は“000”になるようなテストデータをシフトインし、その後、ループイネーブル信号LOOPEN=1に切り替えておけば、フリップフロップ30, 31, 32にクロックを与える毎に、RAM91の入力端子DIO~DI2は“111”と“000”の状態を交互に繰り返すので、SI端子から新たにテストデータを与える必要はなく、RAM91のテストを容易にすることができるという効果が得られる。

【0157】

さらに、この実施の形態14によれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”であるかのテストと、“000”であるかのテストを、SO端子からシフトアウトしなくてもモニタ信号MONIのチェックだけで行えるので、RAM91のテストを容易にすることができるという効果が得られる。

【0158】

さらに、この実施の形態14によれば、通常動作時では回路規模の増加なしで、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができるという効果が得られる。

【0159】

実施の形態15.

図15はこの発明の実施の形態15による半導体集積回路装置の構成を示す回路図である。この実施の形態15では、図15に示すように、実施の形態13の図13におけるゲート回路110を、セクタ60, 61, 62の出力側よりセクタ10, 11, 12の出力側にゲート回路115として移動している。このゲート回路115はセクタ10, 11, 12の出力のデータが同一値であることを検出するもので、これに配慮してRAM91のテストを行えば良い。図15ではゲート回路115としてANDゲートを使用しているが、NANDゲート、ORゲート、NORゲートのいずれかを使用しても良い。また、図15では、図13と同様に、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができる。

【0160】

次に動作について説明する。

通常動作時及びロジック部80, 81のスキャンテスト時の動作は実施の形態13と同じである。また、RAM91のテストでRAM91に対して初期データの書き込みテストを行う場合の動作も実施の形態13と同じである。

【0161】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=1に設定してセクタ100を“1”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。

【0162】

RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62を介してフリップフロップ30, 31, 32の入力に伝えられる。フリップフロッ

プ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32がこのテスト結果のデータを格納する。フリップフロップ30, 31, 32に格納されたテスト結果のデータは、インバータ40, 41, 42により反転され、セクタ10, 11, 12を介してゲート回路115の入力に伝えられる。

【0163】

このとき、テスト結果のデータが“000”であれば、ゲート回路115から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“000”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“000”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0164】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替えて、RAM91にテスト結果の反転データを書き込むと共に、フリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32に格納されているデータは、インバータ42, 40, 41により反転され、セクタ12, 10, 11により選択されて、セクタ60, 61, 62の“1”入力端を経由し、フリップフロップ30, 31, 32に取り込まれて出力される。この場合、フリップフロップ32に格納されているデータは、セクタ100の“1”入力端を経由する。

【0165】

フリップフロップ30, 31, 32の出力データがインバータ40, 41, 42により反転されてセクタ10, 11, 12を介してゲート回路115の入力に伝達されるので、フリップフロップ30, 31, 32の出力が“000”（テスト結果のデータが“111”）の場合には、ゲート回路115から出力されるモニタ信号MONIは“1”になり、RAM91のテスト結果のデータが“111”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”か否かを、SO端子からシフトアウトしなくても判定することができる。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0166】

以上のように、この実施の形態15によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91に書き込むテストデータを、オール0（“000”）やオール1（“111”）に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができるという効果が得られる。

【0167】

また、この実施の形態15によれば、ループイネーブル信号LOOPEN=0に設定し、SI端子からフリップフロップ30, 31, 32に“111”又は“000”になるようなテストデータをシフトインし、その後、ループイネーブル信号LOOPEN=1に切り替えておけば、フリップフロップ30, 31, 32にクロックを与える毎に、RAM91の入力端子DI0～DI2は“111”と“000”の状態を交互に繰り返すので、SI端子から新たにテストデータを与える必要はなく、RAM91のテストを容易にすることができるという効果が得られる。

【0168】

さらに、この実施の形態15によれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”であるかのテストと、“000”であるかのテストを、SO端子からシフトアウトしなくてもモニタ信号MONIのチェックだけで行えるので、RAM91のテストを容易にすることができるという効果が得られる。

【0169】

さらに、この実施の形態15によれば、通常動作時では回路規模の増加なしで、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができるという効果が得られる。

【0170】

実施の形態16.

図16はこの発明の実施の形態16による半導体集積回路装置の構成を示す回路図である。この実施の形態16では、図16に示すように、実施の形態13の図13におけるゲート回路110を、セクタ60, 61, 62の出力側よりフリップフロップ30, 31, 32の出力側にゲート回路116として移動している。このゲート回路116はフリップフロップ30, 31, 32の出力のデータが同一値であることを検出するもので、これに配慮してRAM91のテストを行えば良い。図16ではゲート回路116としてANDゲートを使用しているが、NANDゲート、ORゲート、NORゲートのいずれかを使用しても良い。また、図16では、図13と同様に、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができる。

【0171】

次に動作について説明する。

通常動作時及びロジック部80, 81のスキャンテスト時の動作は実施の形態13と同じである。また、RAM91のテストでRAM91に対して初期データの書き込みテストを行う場合の動作も実施の形態13と同じである。

【0172】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=1に設定してセクタ100を“1”入力端に切り替え、シフトモード信号SM=1に設定してセクタ10, 11, 12を“1”入力端に切り替え、テストモード信号TEST2=0に設定してセクタ60, 61, 62を“0”入力端に切り替える。

【0173】

RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータがRAM91の出力端子DO0, DO1, DO2に出力され、それぞれセクタ60, 61, 62を介してフリップフロップ30, 31, 32の入力に伝えられる。フリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32がこのテスト結果のデータを格納する。フリップフロップ30, 31, 32に格納されたテスト結果のデータはゲート回路116の入力に伝えられる。

【0174】

このとき、テスト結果のデータが“111”であれば、ゲート回路116から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“111”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0175】

次にテストモード信号TEST2=1に設定してセクタ60, 61, 62を“1”入力端に切り替えて、RAM91にテスト結果の反転データを書き込むと共に、フリップフロップ30, 31, 32にクロックを1回与えると、フリップフロップ30, 31, 32に格納されているデータは、インバータ42, 40, 41により反転され、セクタ12, 10, 11により選択されて、セクタ60, 61, 62の“1”入力端を経由し、フリップフロップ30, 31, 32に取り込まれて出力される。この場合、フリップフロップ32に格納されているデータは、セクタ100の“1”入力端を経由する。

【0176】

フリップフロップ30, 31, 32の出力データがゲート回路116の入力に伝達されるので、フリップフロップ30, 31, 32の出力が“111”（テスト結果のデータが“000”）の場合には、ゲート回路116から出力されるモニタ信号MONIは“1”になり、RAM91のテスト結果のデータが“000”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“000”か否かを、SO端子か

らシフトアウトしなくても判定することができる。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0177】

以上のように、この実施の形態16によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91に書き込むテストデータを、オール0 (“000”)やオール1 (“111”)に1クロックサイクルで切り替えることができ、RAM91のテストを効率的に行うことができるという効果が得られる。

【0178】

また、この実施の形態16によれば、ループイネーブル信号LOOPEN=0に設定し、SI端子からフリップフロップ30, 31, 32に“111”又は“000”になるようなテストデータをシフトインし、その後、ループイネーブル信号LOOPEN=1に切り替えておけば、フリップフロップ30, 31, 32にクロックを与える毎に、RAM91の入力端子DI0~DI2は“111”と“000”の状態を交互に繰り返すので、SI端子から新たにテストデータを与える必要はなく、RAM91のテストを容易にすることができるという効果が得られる。

【0179】

さらに、この実施の形態16によれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”であるかのテストと、“000”であるかのテストを、SO端子からシフトアウトしなくてもモニタ信号MONIのチェックだけで行えるので、RAM91のテストを容易にすることができるという効果が得られる。

【0180】

さらに、この実施の形態16によれば、通常動作時では回路規模の増加なしで、フリップフロップ30, 31, 32を通常動作時のRAM91の出力レジスタとして利用することができるという効果が得られる。

【0181】

実施の形態17.

図17はこの発明の実施の形態17による半導体集積回路装置の構成を示す回路図である。この実施の形態17では、図17に示すように、実施の形態8の図8におけるセクタ10, 11, 12及びセクタ60, 61, 62を、AND-OR複合ゲート型セクタ10a, 11a, 12a及びAND-OR複合ゲート型セクタ60a, 61a, 62aに変更し、AND-OR複合ゲート型セクタ10a, 11a, 12aはシフトモード信号SMA, SMBにより制御され、複合ゲート型セクタ60a, 61a, 62aはテストモード信号TEST2A, 2Bにより制御される。

【0182】

次に動作について説明する。

通常動作時の動作は実施の形態8と基本的に同じである。ただし、図17では、シフトモード信号SMA=0、シフトモード信号SMB=1に設定して、AND-OR複合ゲート型セクタ10a, 11a, 12aはロジック80の出力を選択し、テストモード信号TEST2A=0、テストモード信号TEST2B=1に設定して、複合ゲート型セクタ60a, 61a, 62aはRAM91の出力を選択してすることにより、RAM91がロジック部80とロジック部81の間に挿入された状態となる。また、通常動作時は、フリップフロップ30, 31, 32にクロックを与えなくても良い。

【0183】

ロジック部80, 81のスキャンテスト時の動作も実施の形態8と基本的に同じである。ただし、図17では、ループイネーブル信号LOOPEN=0に設定してセクタ100を“0”入力端に切り替え、テストモード信号TEST2A=1、テストモード信号TEST2B=0に設定して、複合ゲート型セクタ60a, 61a, 62aはスキャンパスを選択することにより、RAM91はバイパスされ、スキャンパスがロジック部80とロジック部81の間に挿入された状態となる。その状態でシフトモード信号SMA, SMBを制御してロジック部80, 81のスキャンテストを行う。

【0184】

ロジック部81のスキャンテストを行う場合には、シフトモード信号SMA=1、シフトモード信号SMB=0に設定して、フリップフロップ30, 31, 32にクロックを2回与えると、SI端子からの2ビットのテストデータが、シリアルシフト動作によりフリップフロップ30, 31に格納される。

【0185】

テストモード信号TEST2A=1に設定されているので、SI端子の次の1ビットのテストデータは複合ゲート型セクタ60aにより選択されてロジック部81に入力され、フリップフロップ30, 31に格納された各1ビットのテストデータは、それぞれ複合ゲート型セクタ61a, 62aにより選択されてロジック部81に入力され、合計3ビットのテストデータによりロジック部81のスキャンテストが行われる。

【0186】

ロジック部80のスキャンテストを行う場合には、シフトモード信号SMA=0、シフトモード信号SMB=1に設定して、フリップフロップ30, 31, 32にクロックを1回与えると、テストデータを入力したロジック部80からのテスト結果の3ビットのデータが、フリップフロップ30, 31, 32にそれぞれ格納される。このとき、フリップフロップ32に格納された1ビットのデータはSO端子に出力される。

【0187】

次にシフトモード信号SMA=1、シフトモード信号SMB=0に設定して、フリップフロップ30, 31, 32にクロックを2回与えると、フリップフロップ30, 31に格納された各1ビットのデータはSO端子にシフトアウトされて、合計3ビットのデータの内容が確認される。この場合、ロジック部81に対する次のテストデータをSI端子からフリップフロップ30, 31に格納することもできる。なお、このロジック部80とロジック部81のスキャンテストは、入力するテストデータを変更して複数回繰り返される。

【0188】

RAM91のテスト時は、シフトモード信号SMA=0、SMB=0の状態及びテストモード信号TEST2A=0、TEST2B=0の状態を活用することにより、RAM91の書き込みデータを容易に制御できる。具体的には、シフトモード信号SMA=0、SMB=0に設定することにより、RAM91の入力端子DI0, DI1, DI2への入力データを“000”の状態に設定できる。また、シフトモード信号SMA=1、テストモード信号TEST2A=0、TEST2B=0に設定することにより、RAM91の入力端子DI0, DI1, DI2への入力データを“111”の状態に設定できる。つまり、この実施の形態17では、スキャンバスの直列シフト動作による書き込みデータの設定は不要になる。

【0189】

RAM91のテストでRAM91に対して初期データの書き込みテストを行う場合の動作について説明する。シフトモード信号SMA=0、SMB=0に設定することにより、RAM91の入力端子DI0, DI1, DI2への初期データを“000”の状態に設定し、初期データ“000”の書き込みを行う。また、シフトモード信号SMA=1、テストモード信号TEST2A=0、TEST2B=0に設定することにより、RAM91の入力端子DI0, DI1, DI2への初期データを“111”の状態に設定し、初期データ“111”の書き込みを行う。なお、この初期データの書き込みは動作はアドレスを変えながら複数回行う。

【0190】

次にRAM91の特定のアドレスに対して読み出し及び書き込みテストを行う場合について説明する。ループイネーブル信号LOOPEN=1、シフトモード信号SMA=1、SMB=0、テストモード信号TEST2A=0、テストモード信号TEST2B=1に設定する。

【0191】

RAM91の特定のアドレスに対して読み出しテストを行うと、テスト結果のデータが

RAM91の出力端子DO0, DO1, DO2に出力され、それぞれ複合ゲート型セクタ60a, 61a, 62aを介してゲート回路110の入力に伝えられる。このとき、テスト結果のデータが“111”であれば、ゲート回路110から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“111”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”か否かを、SO端子からシフトアウトしなくても判定することができる。

【0192】

また、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータは、インバータ40, 41, 42により反転され、AND-OR複合ゲート型セクタ10a, 11a, 12aを介してRAM91の入力端子DI0, DI1, DI2に与えられる。次にこのテスト結果の反転データをRAM91に書き込むと共に、フリップフロップ30, 31, 32にクロック1回を与えると、フリップフロップ30, 31, 32がこのテスト結果の反転データを格納する。次にテストモード信号TEST2A=1、テストモード信号TEST2B=0に設定し、フリップフロップ30, 31, 32に格納されているテスト結果の反転データが、それぞれ複合ゲート型セクタ60a, 61a, 62aを介してゲート回路110の入力に伝えられる。この場合、フリップフロップ32に格納されているデータは、セクタ100の“1”入力端を経由する。

【0193】

テスト結果のデータが“000”であれば、ゲート回路110の入力は“111”となり、ゲート回路110から出力されるモニタ信号MONIは“1”になり、テスト結果のデータが“000”以外であれば、モニタ信号MONIは“0”になる。従って、モニタ信号MONIをチェックすることにより、RAM91の出力端子DO0, DO1, DO2から出力されるテスト結果のデータが“000”か否かを、SO端子からシフトアウトしなくても判定することができる。なお、このRAM91の読み出し及び書き込みテストはアドレスを変更して複数回繰り返される。

【0194】

以上のように、この実施の形態17によれば、テスト回路の規模を大きくせずにRAM91単独でテストすることができ、RAM91のテスト時に、シフトモード信号SMA=0、SMB=0の状態及びテストモード信号TEST2A=0、TEST2B=0の状態を活用することにより、スキャンパスの直列シフト動作による書き込みデータの設定は不要になり、RAM91の書き込みデータを容易に制御できると共に、通常動作時は、フリップフロップ30, 31, 32にはクロックを与えなくても済むという効果が得られる。

【0195】

また、この実施の形態17によれば、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが“111”であるかのテストと、“000”であるかのテストを、SO端子からシフトアウトしなくてもモニタ信号MONIのチェックだけで行えるので、RAM91のテストを容易にすることができるという効果が得られる。

【0196】

実施の形態18.

図18はこの発明の実施の形態18による半導体集積回路装置の構成を示す回路図である。この実施の形態18では、図18に示すように、実施の形態17の図17におけるAND-OR複合ゲート型セクタ60a, 61a, 62aを、AND-NOR複合ゲート型セクタ60b, 61b, 62bに変更し、図17におけるスキャンパスに挿入されているインバータ40, 41, 42を削除し、AND-NOR複合ゲート型セクタ60b, 61b, 62cの出力からロジック部81への経路にインバータ40a, 41a, 42aを追加している。

【0197】

次に動作について説明する。

AND-NOR複合ゲート型セクタ60b, 61b, 62bはインバータの機能を含

んでいるので、図17でスキャンパスに挿入されているインバータ40, 41, 42は不要になる。また、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが反転してロジック部81に伝わらないように、AND-NOR複合ゲート型セクタ60b, 61b, 62bの出力を、インバータ40a, 41a, 42aを介してからロジック部81に伝えている。なお、RAM91の出力端子DO0, DO1, DO2からのテスト結果のデータが反転してロジック部81に伝えても良い場合には、インバータ40a, 41a, 42aを削除する。その他の動作については、実施の形態17と同じである。

【0198】

以上のように、この実施の形態18によれば実施の形態17と同様の効果が得られる。

【0199】

実施の形態19.

図19はこの発明の実施の形態19による半導体集積回路装置の構成を示す回路図である。実施の形態8の図8では3ビットのRAM91を対象としているが、この実施の形態19では、図19に示すように4ビットのRAM91aを対象としている。すなわち、RAM91aの入力端子をDI0, DI1, DI2, DI3、出力端子をDO0, DO1, DO2, DO3とし、セクタ13、セクタ63、フリップフロップ33、インバータ43を追加し、ロジック部80の出力端子とロジック部80の入力端子を4ビットにし、実施の形態8の図8におけるゲート回路110を、3つのゲート回路110a, 110b, 110cで構成している。ゲート回路110aの入力をセクタ60, 62の出力に接続し、ゲート回路110bの入力をセクタ61, 63の出力に接続し、ゲート回路110cの入力をゲート回路110a, 110bの出力に接続し、ゲート回路110cの出力は図8におけるゲート回路110の出力に相当する。

【0200】

次に動作について説明する。

例えば、RAM91aのテスト時に、テストモード信号TEST2=0の状態、ゲート回路110aの出力MONIAをモニタすることにより、RAM91aの偶数ビット目の出力DO0, DO2に関しての故障の有無がテストできる。同様に、ゲート回路110bの出力MONIBをモニタすることにより、RAM91aの奇数ビット目の出力DO1, DO3に関しての故障の有無がテストできる。つまり、実施の形態19では、実施の形態8に比べて、RAM91aの故障位置が偶数ビットなのか奇数ビットなのかを判定できる機能が追加されているので、RAM91aのより詳細な故障診断が行なえる。その他の動作は実施の形態8と同様である。

【0201】

以上のように、この実施の形態19によれば、実施の形態8の効果に他に、RAM91aのより詳細な故障診断が行えるという効果が得られる。

【0202】

実施の形態20.

図20はこの発明の実施の形態20による半導体集積回路装置の構成を示す回路図である。この実施の形態20では、図20に示すように、実施の形態8の図8に対して、フェイルフラグ生成回路(FAIL FLAG GENERATOR)120とOR回路130を追加し、RAM91の故障診断を容易にするものである。フェイルフラグ生成回路120は、インバータ121、AND回路122、OR回路123、AND回路124、フリップフロップ125により構成されている。

【0203】

図20に示すフェイルフラグ生成回路120において、コンペイネーブル信号CMPENは、基本的にはRAMテスト時にモニタ信号MONI=1となることが期待されている場合に、コンペイネーブル信号CMPEN=1に設定され、モニタ信号MONIが不確定の場合や、モニタ信号MONI=0が期待されている場合は、コンペイネーブル信号CMPEN=0に設定されて、モニタ信号MONIの比較動作はマスク状態となる。フェイルモニタ信号FAILMONIは故障の有無をリアルタイムに判定するために、例え

ばLSI内部に搭載されているセルフテスト制御回路に出力される。すなわち、コンペアイネーブル信号CMPEN=1に設定されている状態で、期待に反して故障が存在する場合にはモニタ信号MONI=0となり、フェイルモニタ信号FAILMONI=1が出力される。

【0204】

リセット信号RESETL=0に設定し、フリップフロップ125にクロックを与えるとフリップフロップ125は“0”にリセットされる。フェイルフラグ信号FAILFLAGは、RAMのテスト結果を判定するために、例えばLSI内部に搭載されているセルフテスト制御回路に出力され、故障がなければフェイルモニタ信号FAILMONI=0、故障があればフェイルモニタ信号FAILMONI=1になる。一度、フェイルフラグ信号FAILFLAG=1になると、その状態が保持されるように、フェイルフラグ生成回路120内にOR回路123が設けられている。

【0205】

OR回路130は、外部からのテストモード信号TEST2A又はフェイルフラグ信号FAILFLAGにより、セクタ60, 61, 62に対するテストモード信号TEST2を出力する。

【0206】

次に動作について説明する。

RAM91の故障診断時には、リセット信号RESETL=0の状態で、フェイルフラグ生成回路120内のフリップフロップ125にクロックを与えて、フェイルフラグ信号FAILFLAG=0に設定する。次にリセット信号RESETL=1に設定して実施の形態8の図8で説明したようなRAM91のテストを実行する。

【0207】

故障が存在してゲート回路110からのモニタ信号MONI=0となると、AND回路124の出力は“1”となり、フリップフロップ125にクロックを与えると、フェイルフラグ信号FAILFLAG=1となって出力されると共に、テストモード信号TEST2=1と設定され、セクタ60, 61, 62を“1”入力端に切り替える。このとき、フリップフロップ30, 31, 32にもクロックを与えて故障データを格納する。ここで次以降のRAMテストをキャンセルし、フェイルフラグ信号FAILFLAG=1になった原因を究明するための故障解析動作が、例えばLSI内部に搭載されているセルフテスト制御回路で行われる。

【0208】

RAM91のテストのテスト時には、シフトモード信号SM=1になっているので、ループイネーブル信号LOOPEN=1、テストモード信号TEST2=1、シフトモード信号SM=1に設定されている状態で、フリップフロップ30, 31, 32にもクロックを与えても、この故障データは、スキャンパスの直列シフト経路の3つのフリップフロップ30, 31, 32のループ接続された循環シフトレジスタ内に保持されているので、与えた正確なクロック数を把握しておけば、SO端子から故障データを含むデータをシフトアウトして、どのデータビットの故障であったかを分析できる。

【0209】

例えば、RAM91の0番地、1番地、2番地、3番地・・・の順でテストを行う場合について説明する。1番地で最初の故障が検出された以降はフェイルフラグ信号FAILFLAG=1となり故障解析動作に移る。3つのフリップフロップ30, 31, 32のループ接続された循環シフトレジスタ内に保持されている故障データを含むデータはSO端子からシフトアウトされる。

【0210】

2個目の故障を検出するテストを行う場合には、フェイルフラグ信号FAILFLAGをリセットする動作から開始する。ただし、0番地、1番地のテスト時はコンペアイネーブル信号CMPEN=0にして比較動作はマスク状態とする。コンペアイネーブル信号CMPEN=0にする制御は、例えばセルフテスト制御回路に蓄えられた最初の故障のアド

レスにより行われる。0番地、1番地のテスト時はコンペイネーブル信号CMPEN=0に設定されるので、モニタ信号MONIの値にかかわらず、フェイルモニタ信号FAILMONIは強制的に“0”となりマスク状態となる。

【0211】

2番地以降のテストでは、適切にコンペイネーブル信号CMPENを制御して比較動作を行う。例えば3番地に2つ目の故障が存在する場合には、3番地のテスト時点でフェイルフラグ信号FAILFLAG=1となり、この時点で故障解析動作に移り、3つのフリップフロップ30, 31, 32のループ接続された循環シフトレジスタ内に保持されている故障データを含むデータはSO端子からシフトアウトされる。

【0212】

RAM91が冗長機能付RAMである場合には、これらの故障データを冗長回路の切り替え制御データとして使用することができる。

【0213】

以上のように、この実施の形態20によれば、実施の形態8の効果に他に、フェイルフラグ生成回路120によりフェイルフラグ信号FAILFLAGを生成して、RAM91の故障データをフリップフロップ30, 31, 32に格納し、テスト終了後、又はテスト中断後に、SO端子から故障データをシフトアウトすることにより、検出された故障に関する詳細な診断が行えるという効果が得られる。

【0214】

なお、この発明の実施は、機能ブロック90又はRAM91の入出力端子の全てに適用する必要はなく、部分的な適用によっても効果がある。例えば、機能ブロック90の入力端子数と出力端子数が異なる場合は、少ないほうに合わせてペアを作り本発明を実施すれば良い。

【図面の簡単な説明】

【0215】

【図1】この発明の実施の形態1による半導体集積回路装置の構成を示す回路図である。

【図2】この発明の実施の形態2による半導体集積回路装置の構成を示す回路図である。

【図3】この発明の実施の形態3による半導体集積回路装置の構成を示す回路図である。

【図4】この発明の実施の形態4による半導体集積回路装置の構成を示す回路図である。

【図5】この発明の実施の形態5による半導体集積回路装置の構成を示す回路図である。

【図6】この発明の実施の形態6による半導体集積回路装置の構成を示す回路図である。

【図7】この発明の実施の形態7による半導体集積回路装置の構成を示す回路図である。

【図8】この発明の実施の形態8による半導体集積回路装置の構成を示す回路図である。

【図9】この発明の実施の形態9による半導体集積回路装置の構成を示す回路図である。

【図10】この発明の実施の形態10による半導体集積回路装置の構成を示す回路図である。

【図11】この発明の実施の形態11による半導体集積回路装置の構成を示す回路図である。

【図12】この発明の実施の形態12による半導体集積回路装置の構成を示す回路図である。

【図13】この発明の実施の形態13による半導体集積回路装置の構成を示す回路図

である。

【図 14】この発明の実施の形態 14 による半導体集積回路装置の構成を示す回路図である。

【図 15】この発明の実施の形態 15 による半導体集積回路装置の構成を示す回路図である。

【図 16】この発明の実施の形態 16 による半導体集積回路装置の構成を示す回路図である。

【図 17】この発明の実施の形態 17 による半導体集積回路装置の構成を示す回路図である。

【図 18】この発明の実施の形態 18 による半導体集積回路装置の構成を示す回路図である。

【図 19】この発明の実施の形態 19 による半導体集積回路装置の構成を示す回路図である。

【図 20】この発明の実施の形態 20 による半導体集積回路装置の構成を示す回路図である。

【図 21】従来の半導体集積回路装置の構成を示す回路図である。

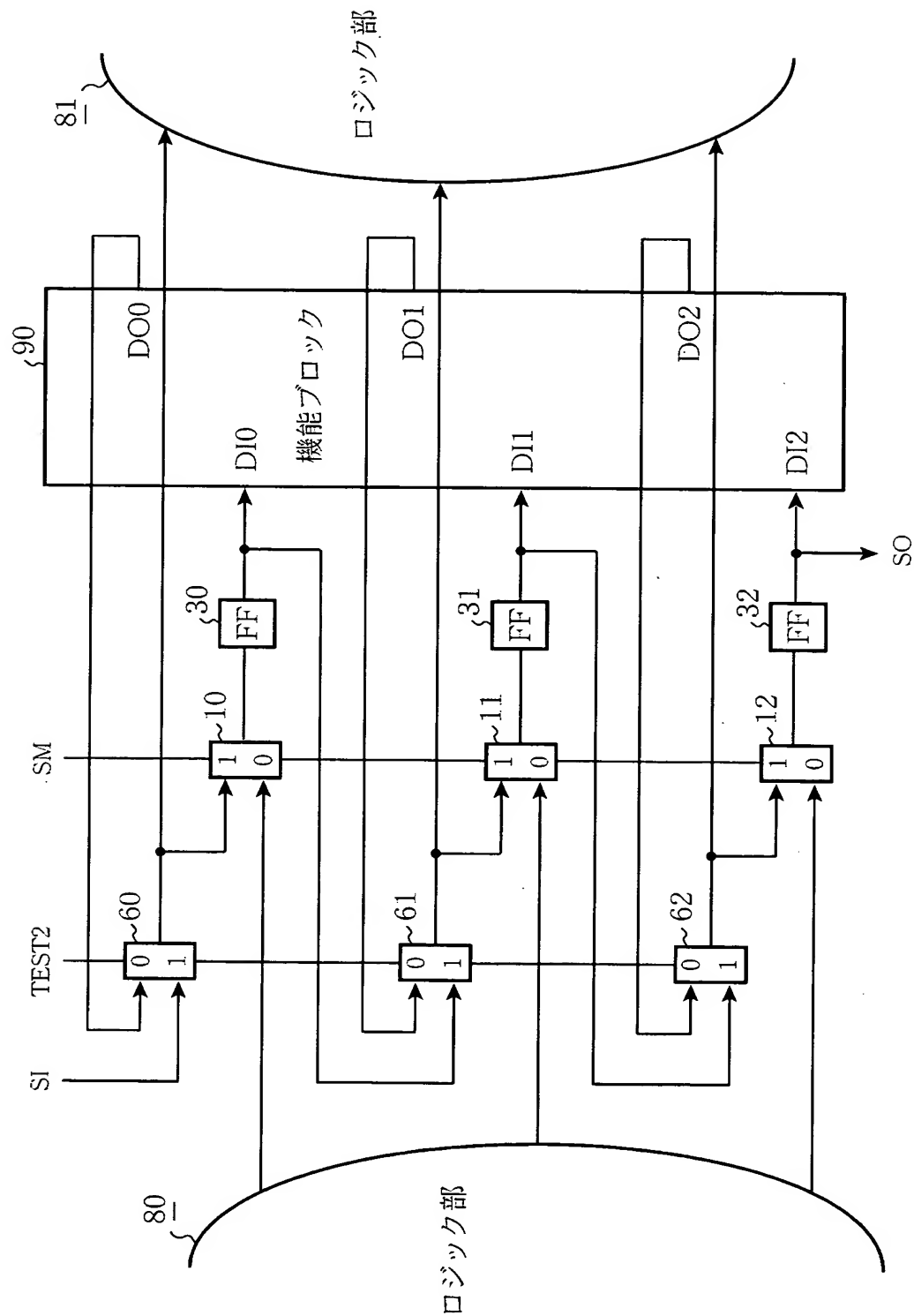
【図 22】従来の半導体集積回路装置の構成を示す回路図である。

【符号の説明】

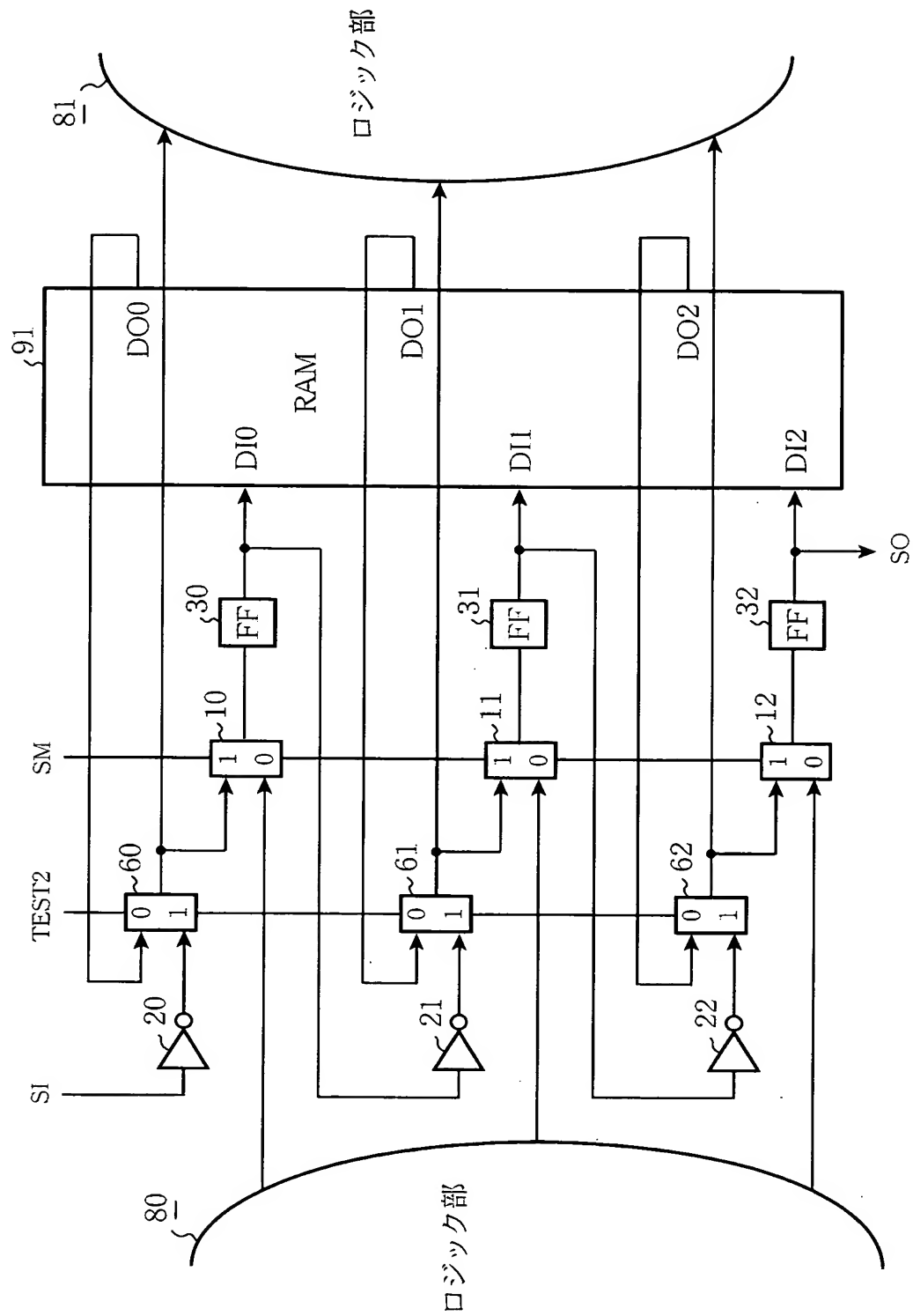
【0216】

10, 11, 12, 13 セレクタ、10a, 11a, 12a AND-OR複合ゲート型セレクタ、20, 21, 22 インバータ、30, 31, 32, 33 フリップフロップ、40, 41, 42, 43 インバータ、40a, 41a, 42a インバータ、60, 61, 62, 63 セレクタ、60a, 61a, 62a AND-OR複合ゲート型セレクタ、60b, 61b, 62b AND-NOR複合ゲート型セレクタ、80, 81 ロジック部、90 機能ブロック、91 RAM、91a RAM、100 セレクタ、110, 111, 112, 113, 114, 115, 116 ゲート回路、110a, 110b, 110c ゲート回路、120 フェイルフラグ生成回路、121 インバータ、122 AND回路、123 OR回路、124 AND回路、125 フリップフロップ、125、130 OR回路。

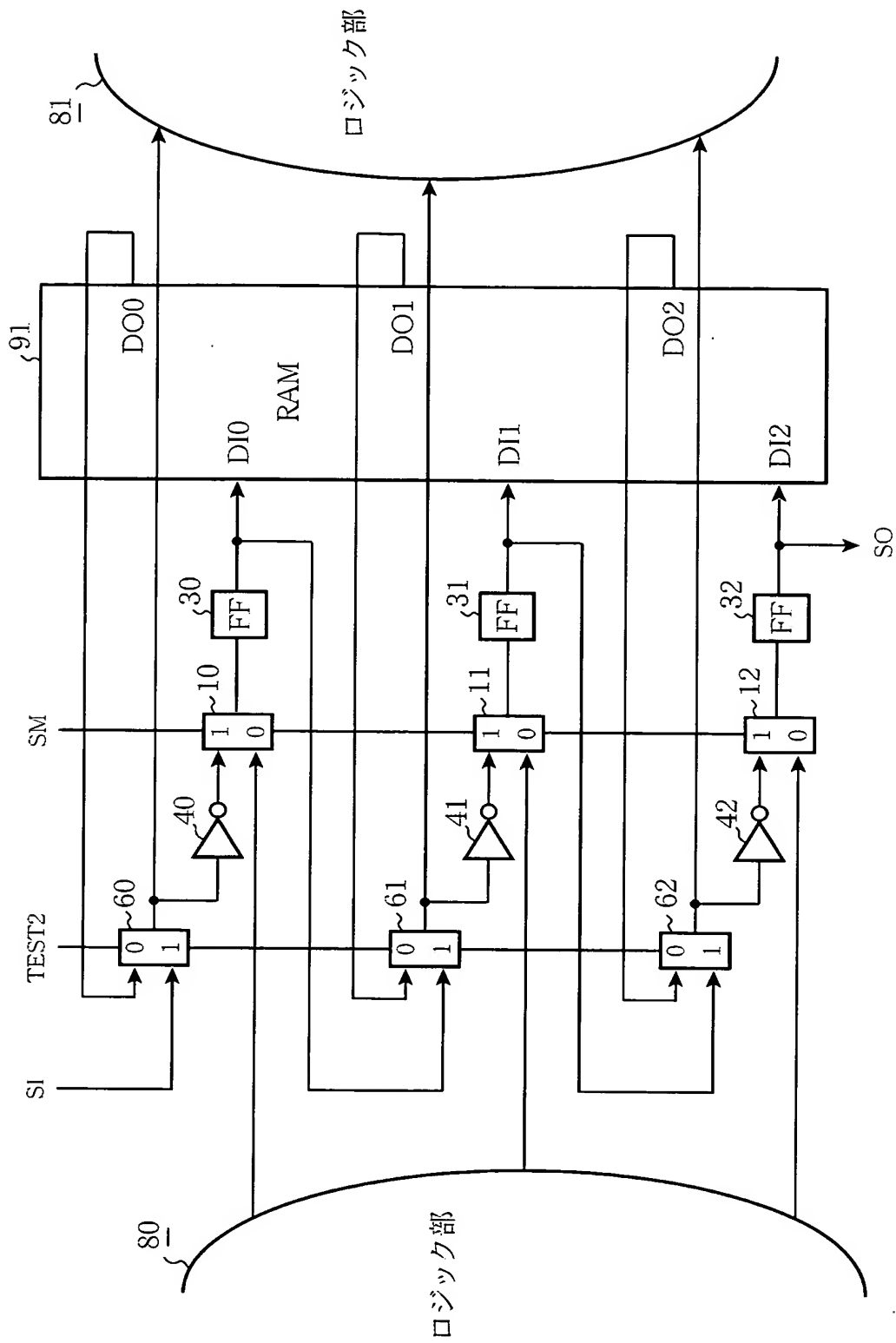
【書類名】 図面
【図 1】



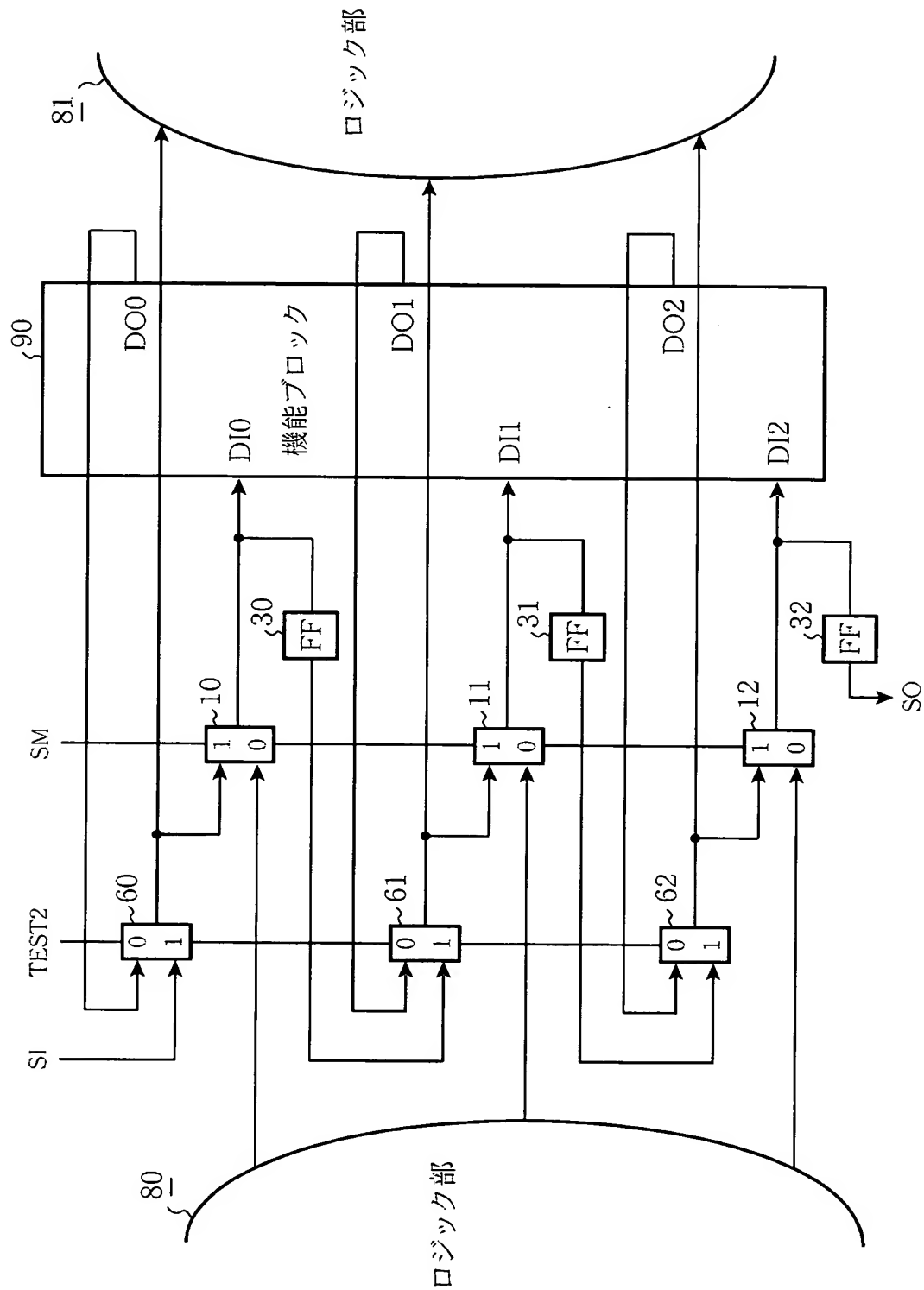
【図 2】



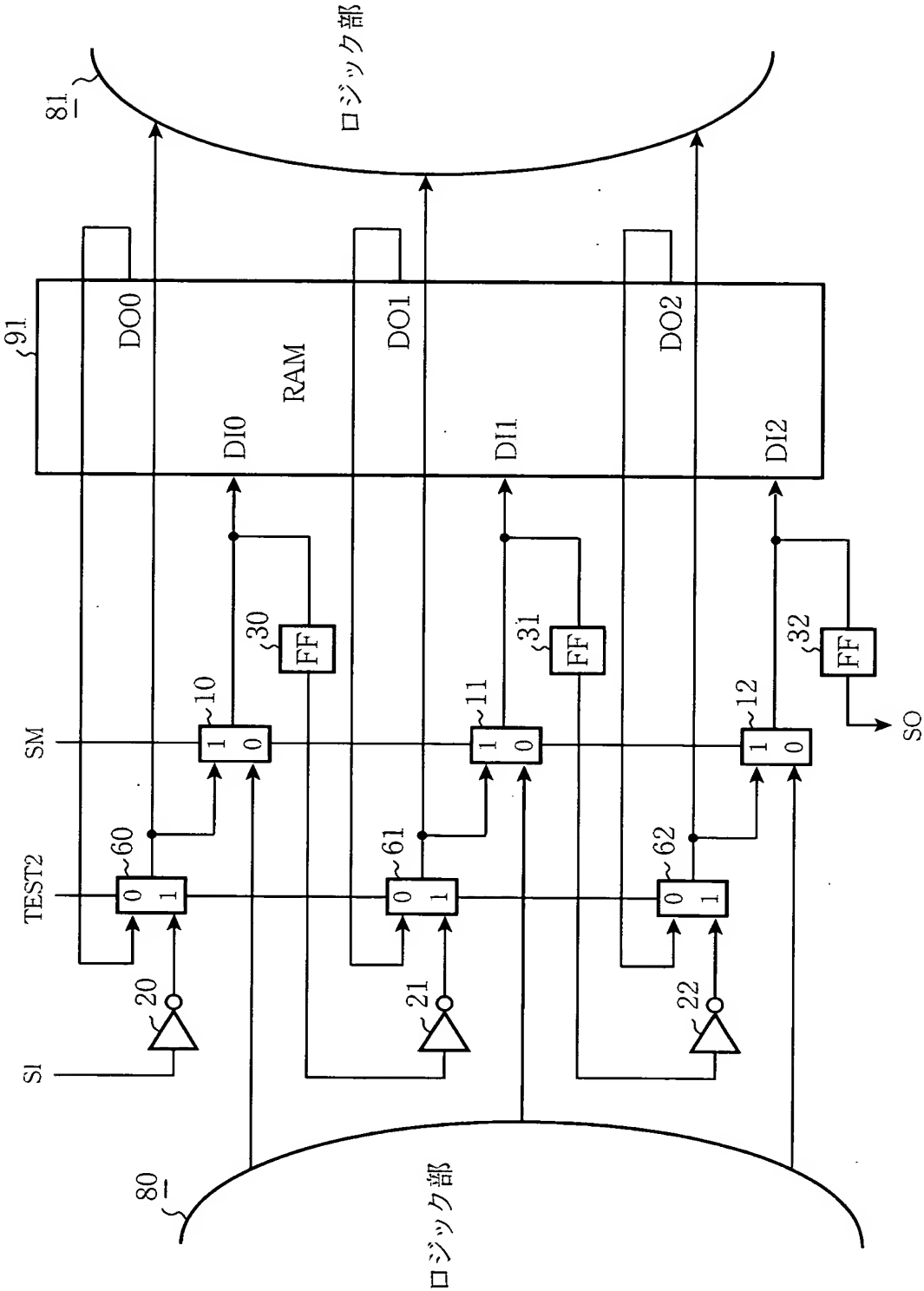
【図 3】



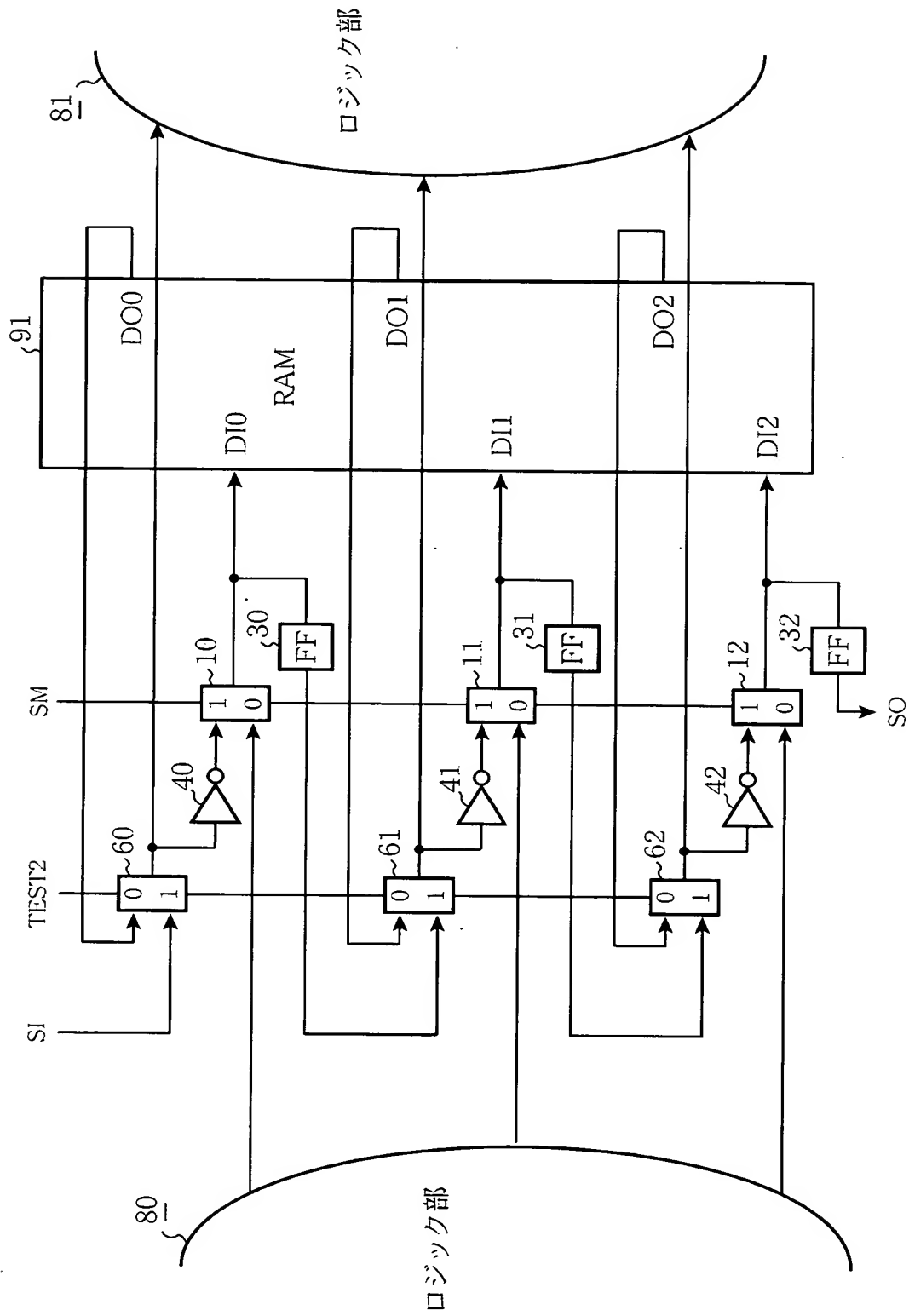
【図 4】



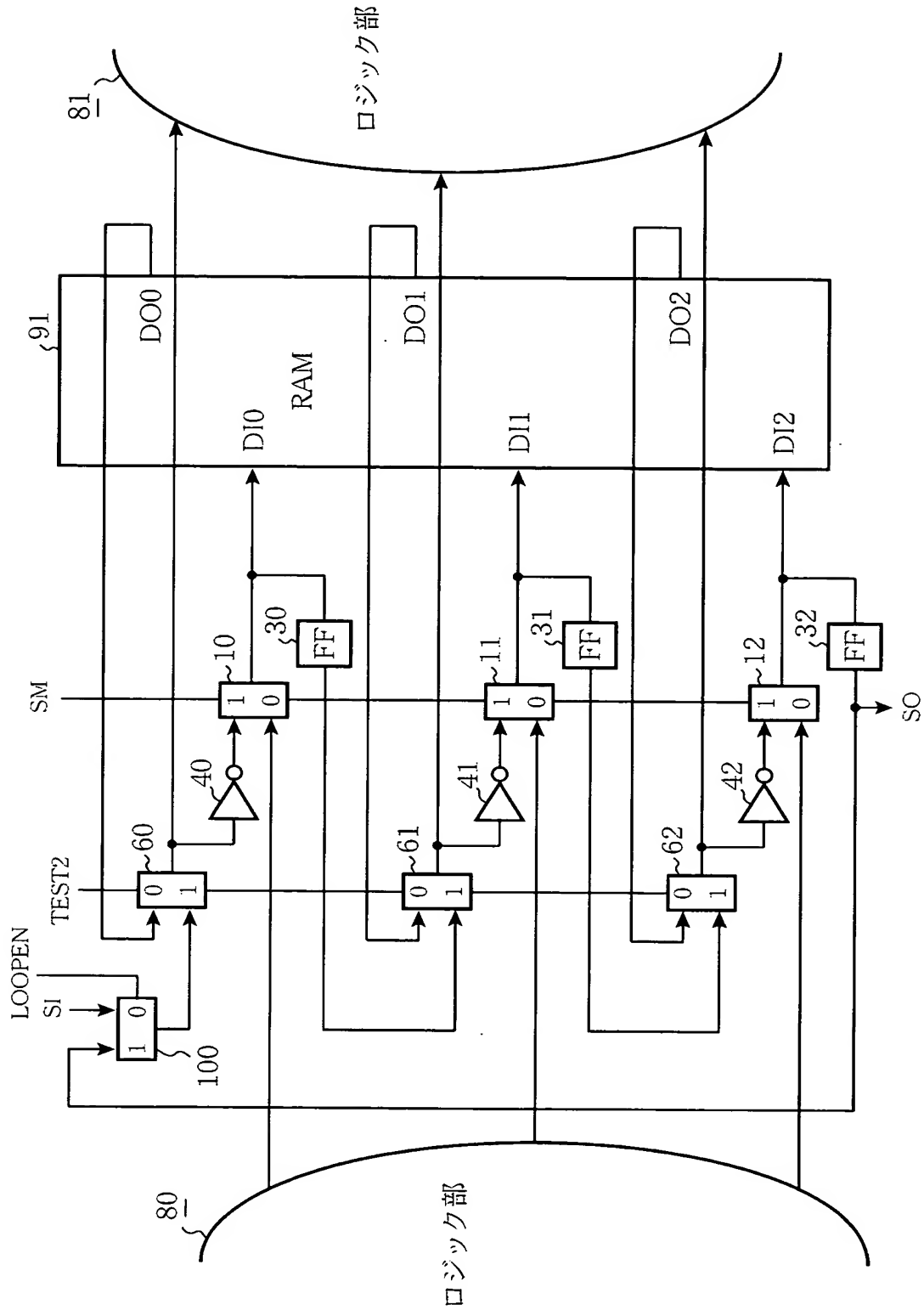
【図 5】



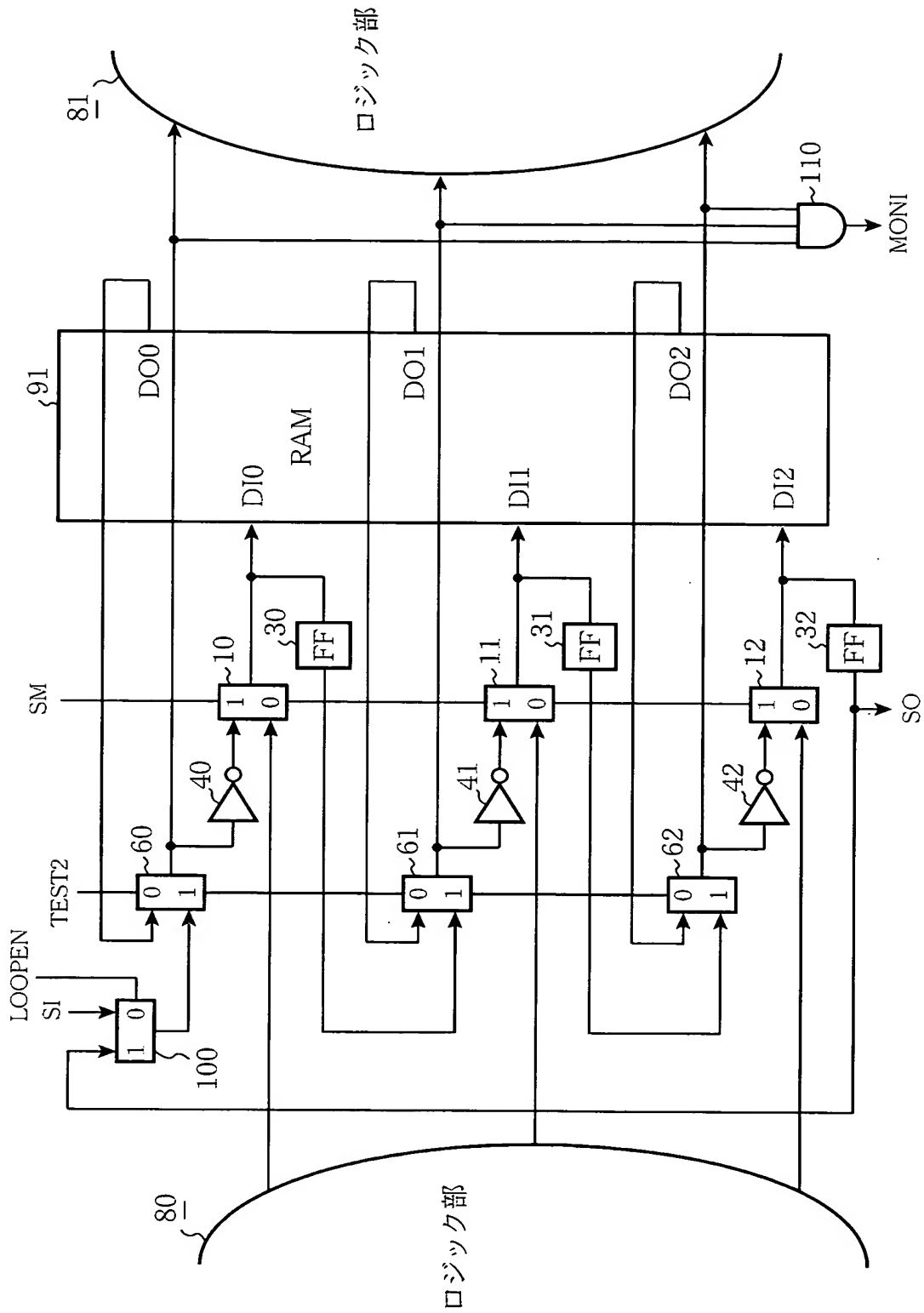
【図 6】



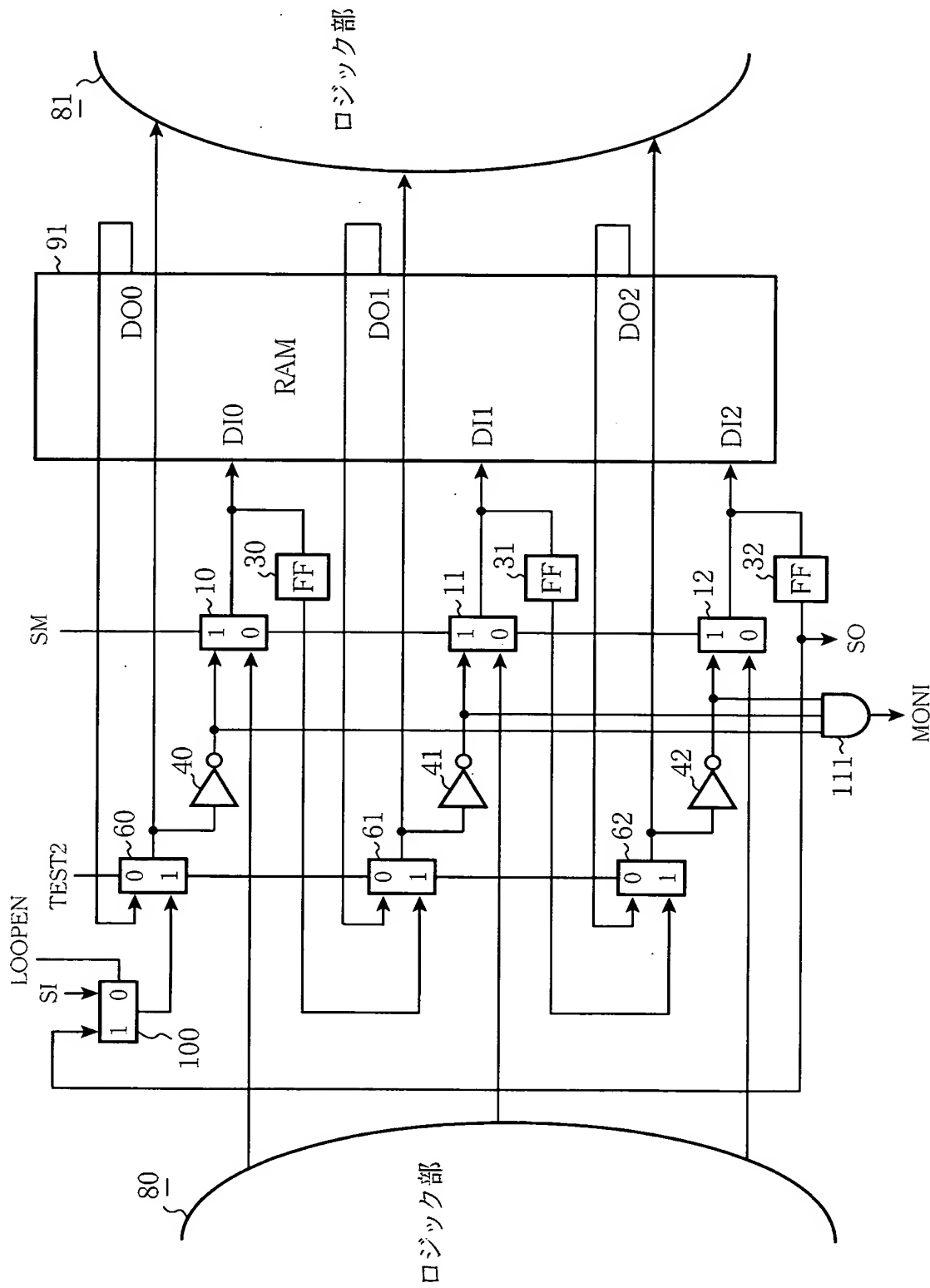
【図 7】



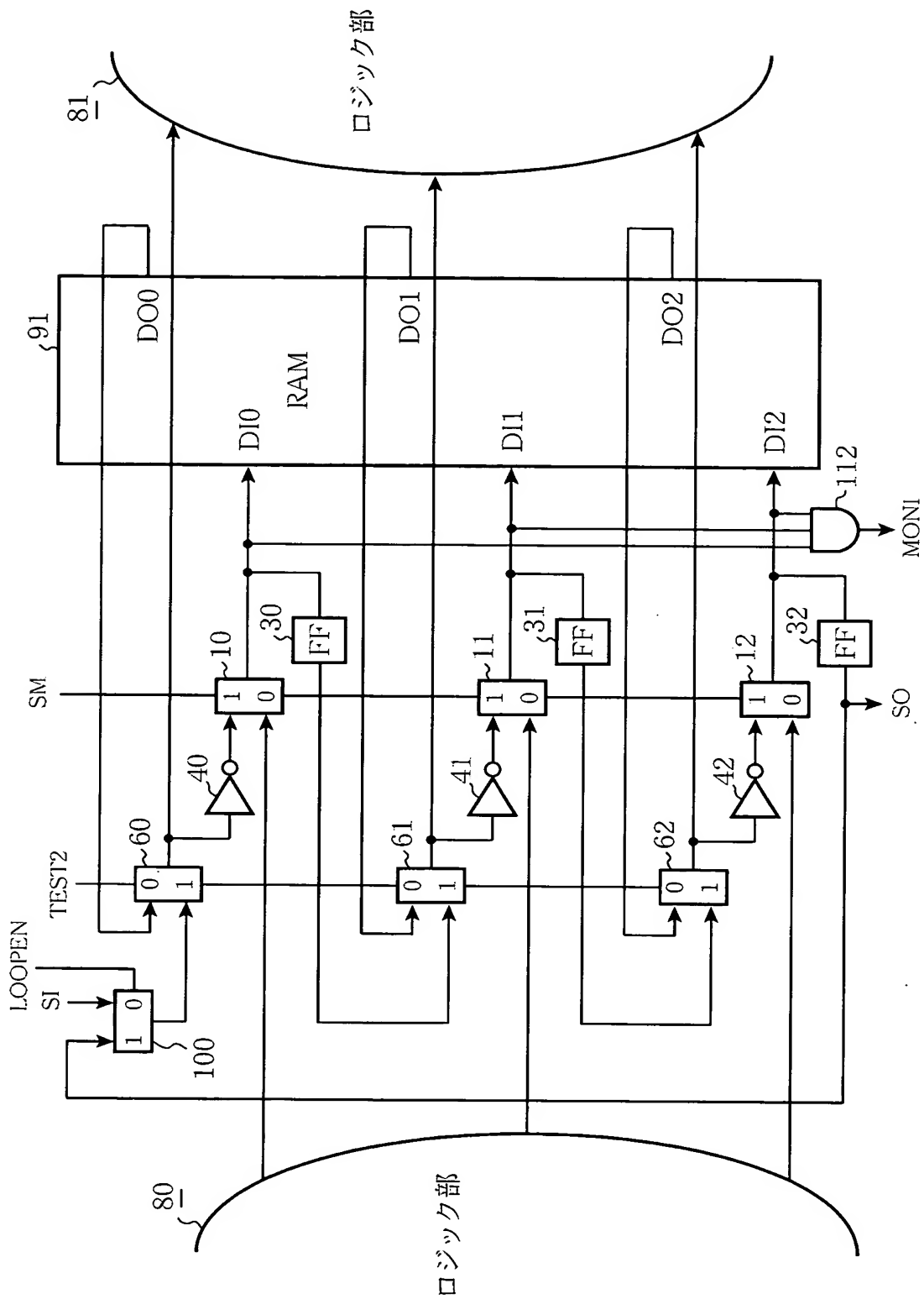
【図 8】



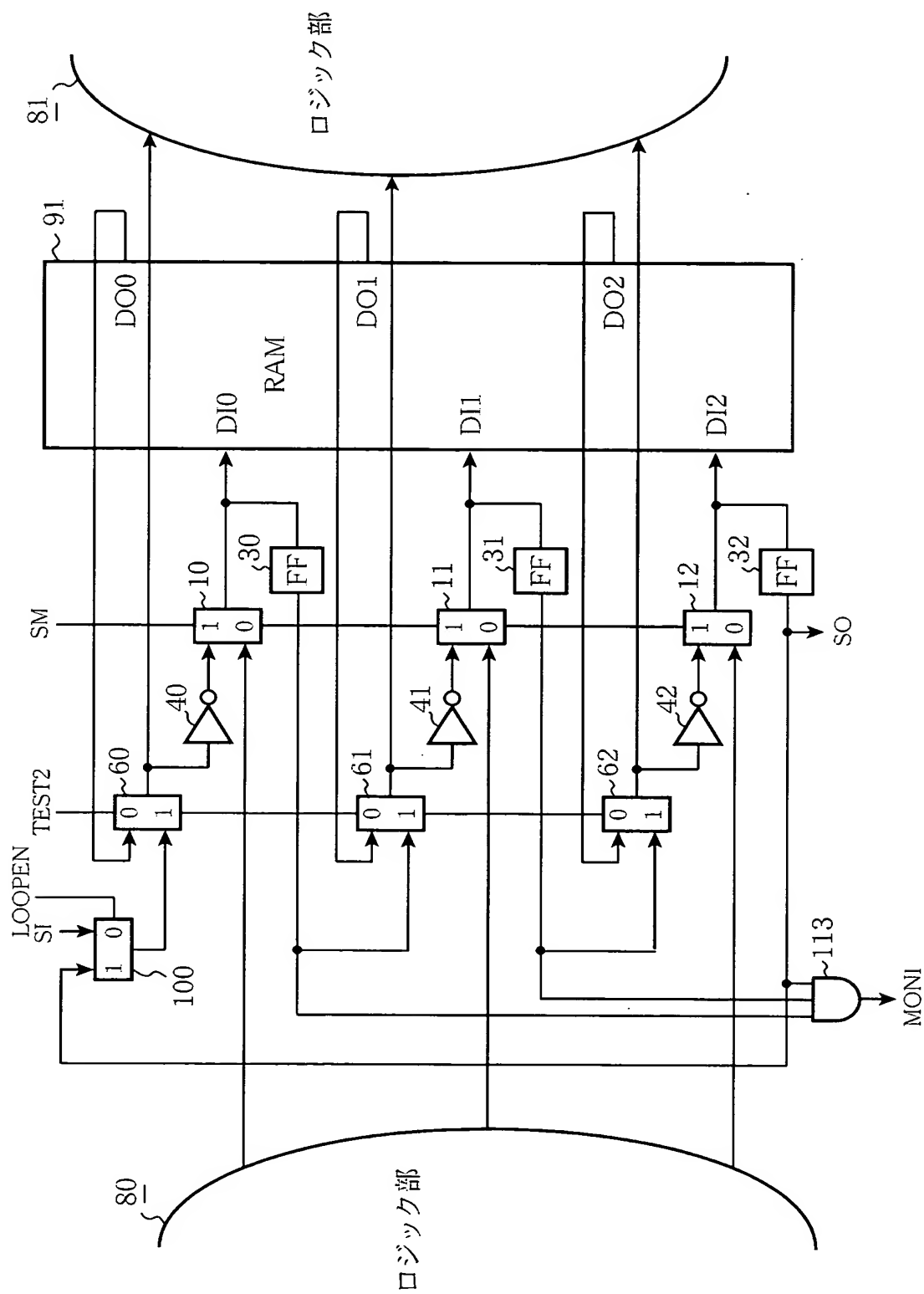
【図 9】



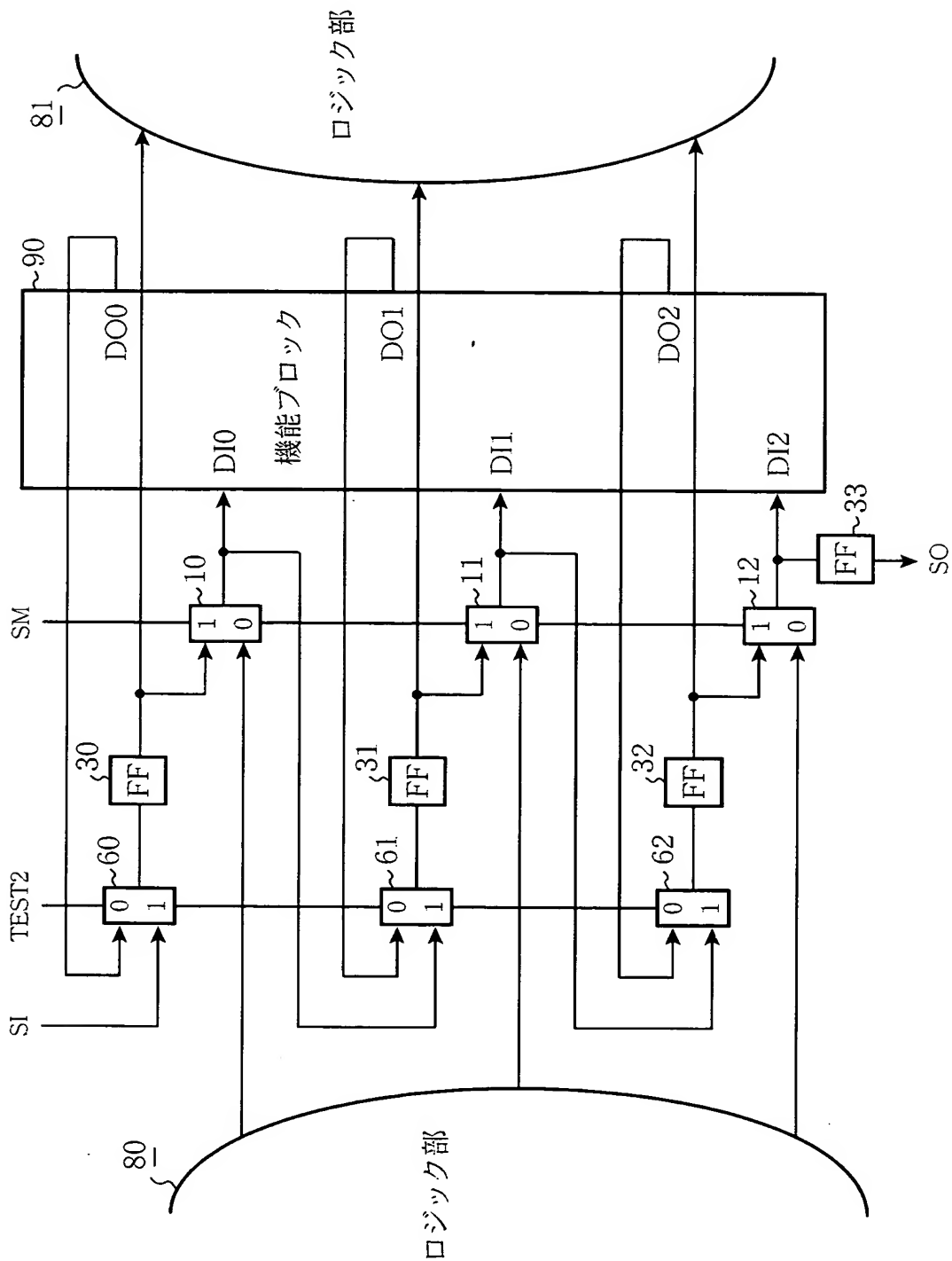
【図 10】



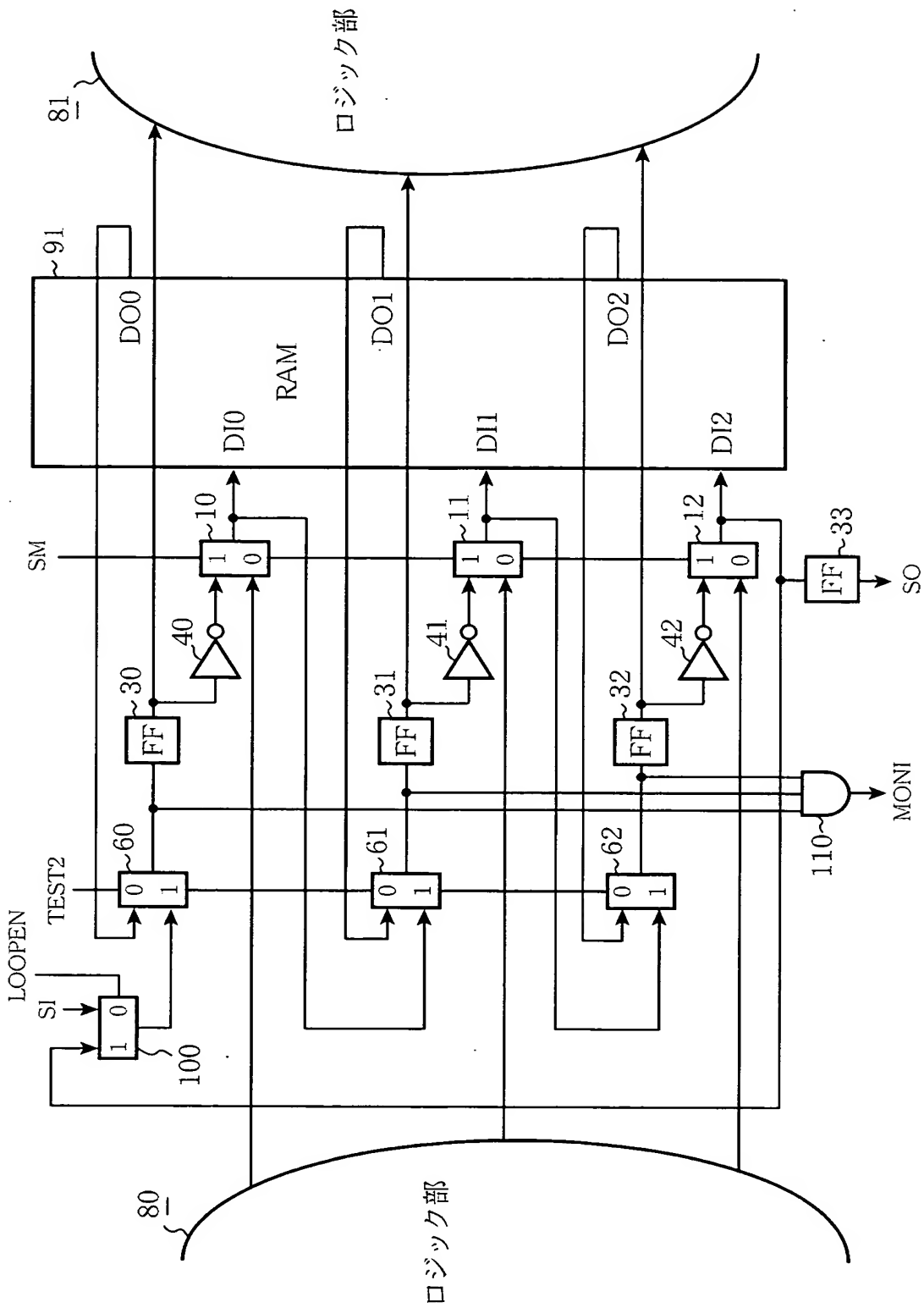
【図11】



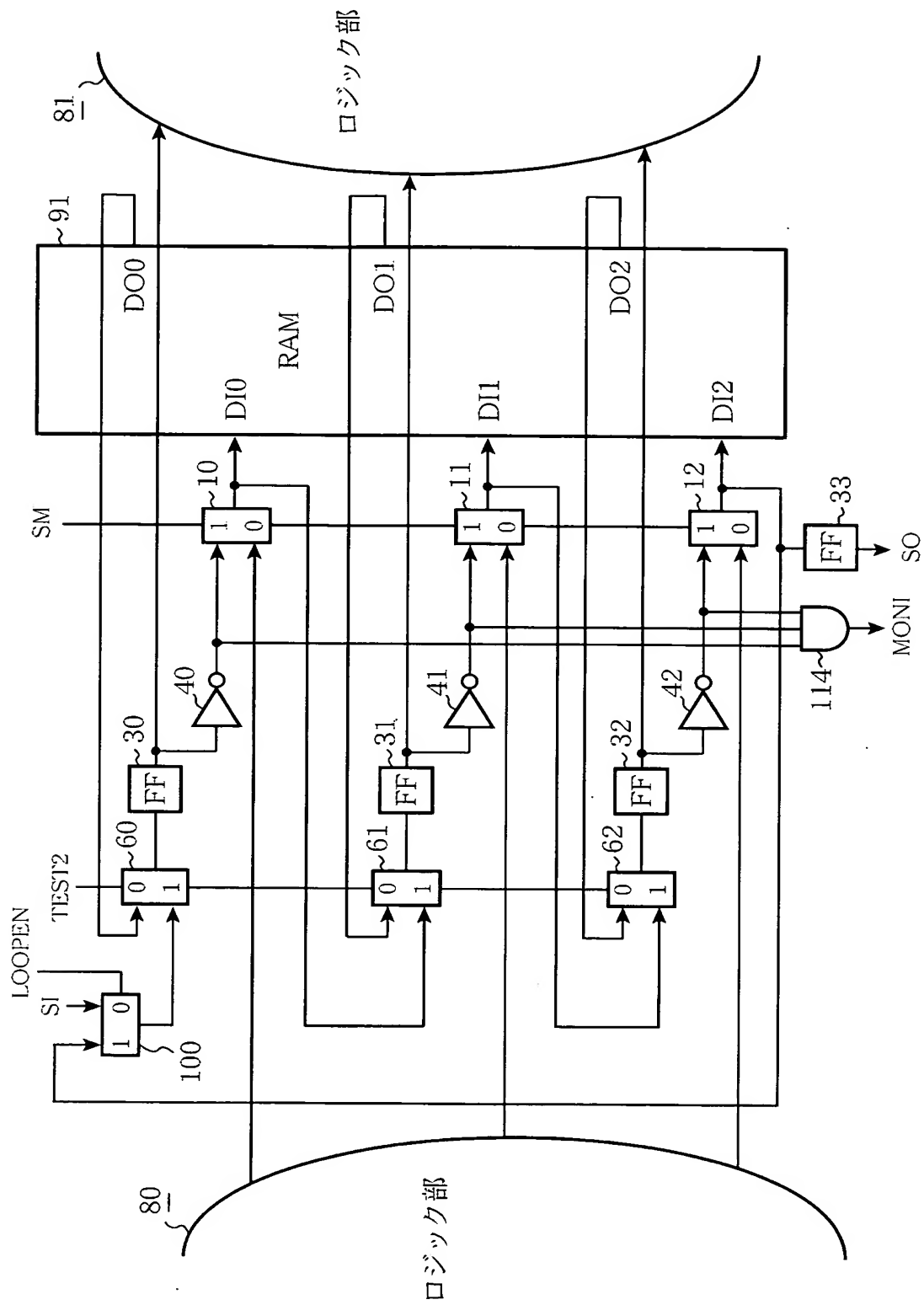
【図 12】



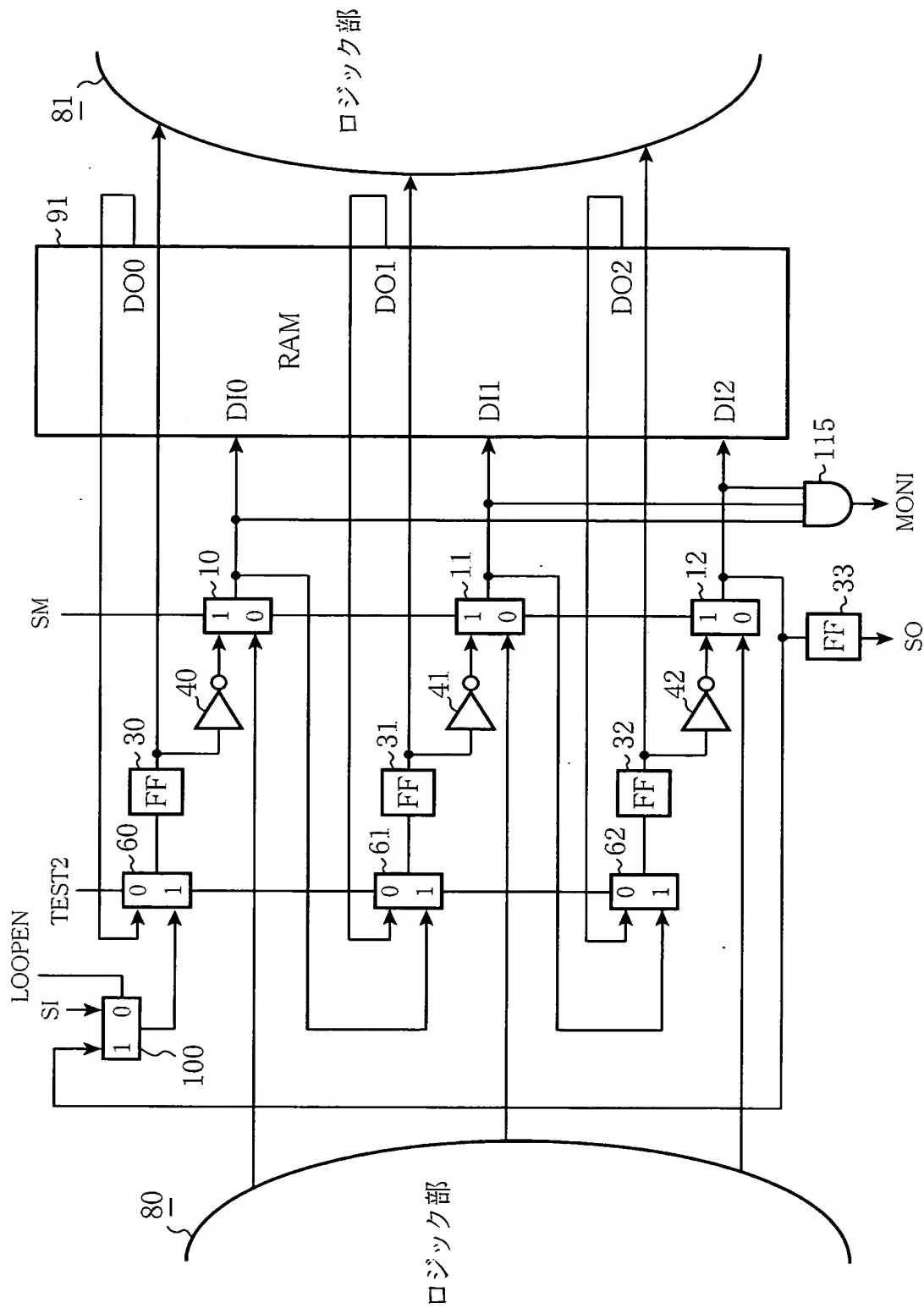
【図 13】



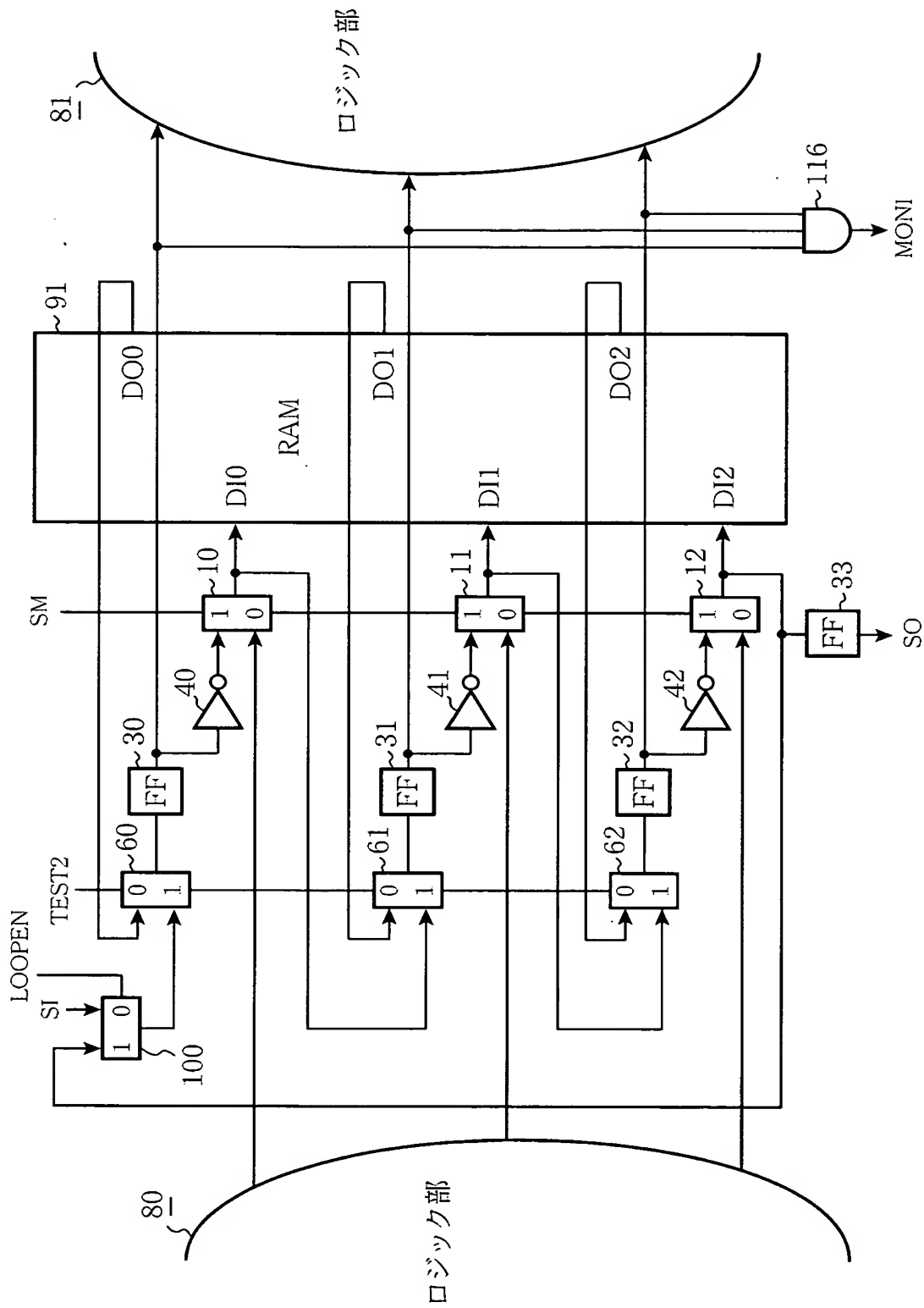
【図 14】



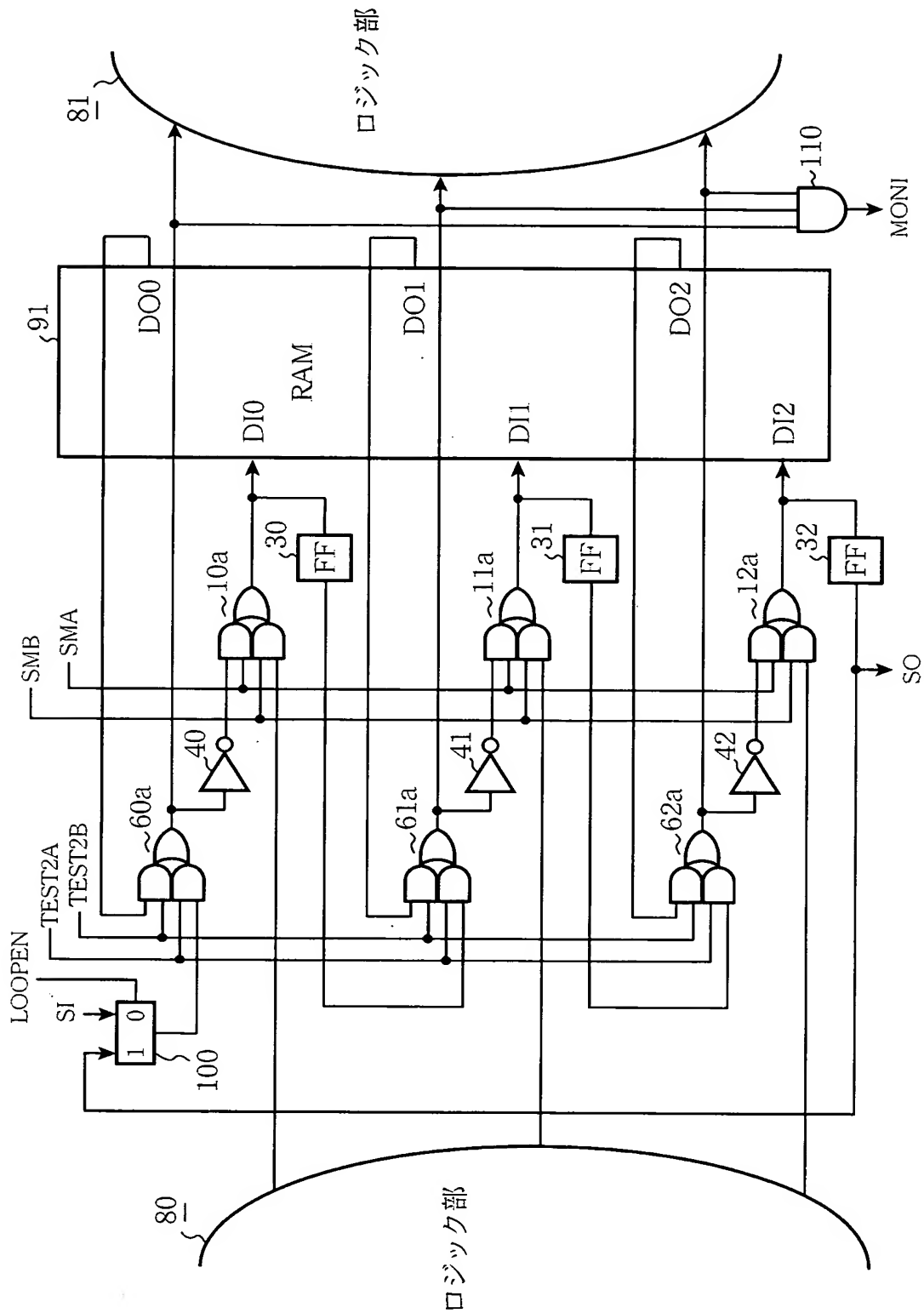
【図 15】



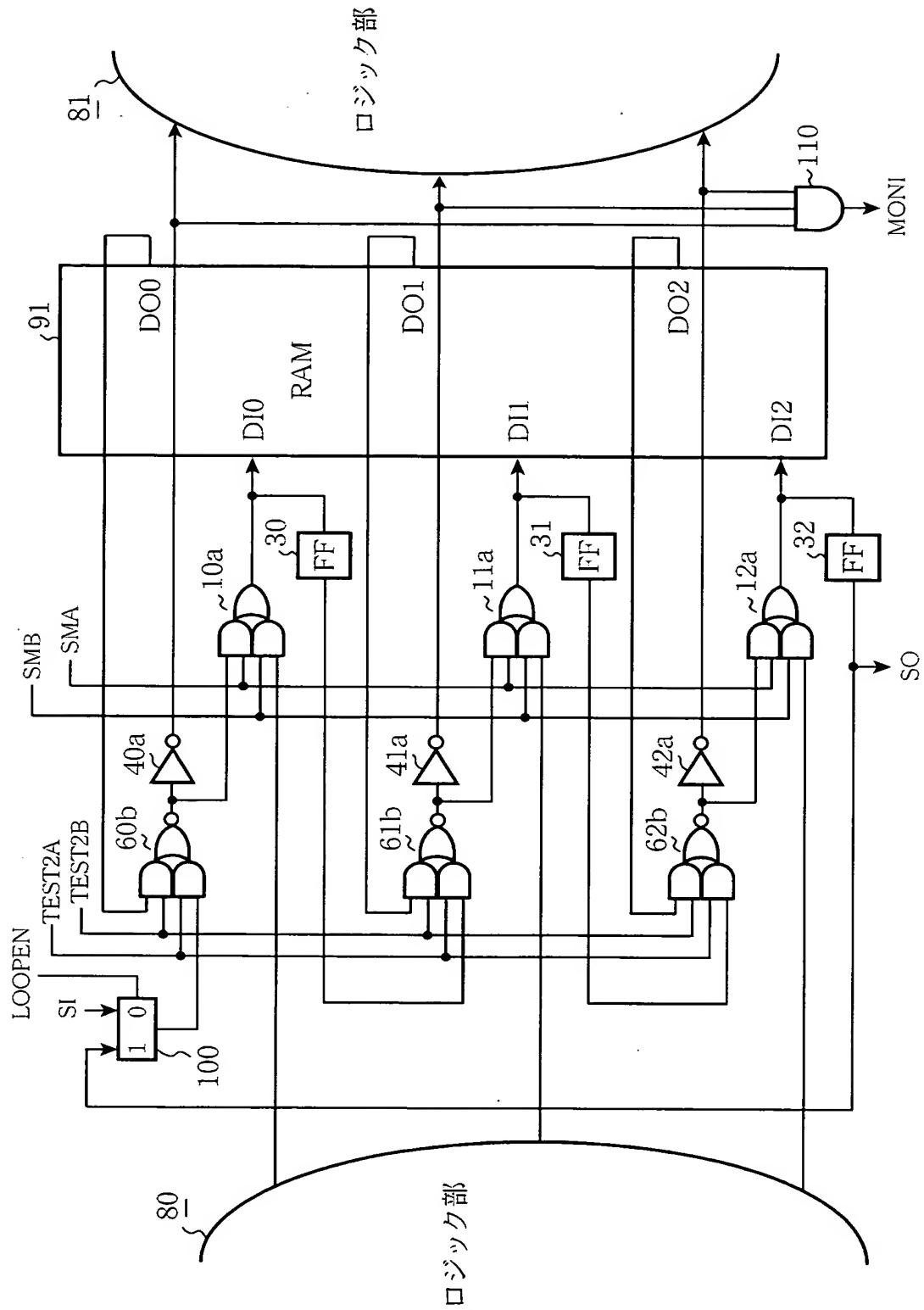
【図 16】



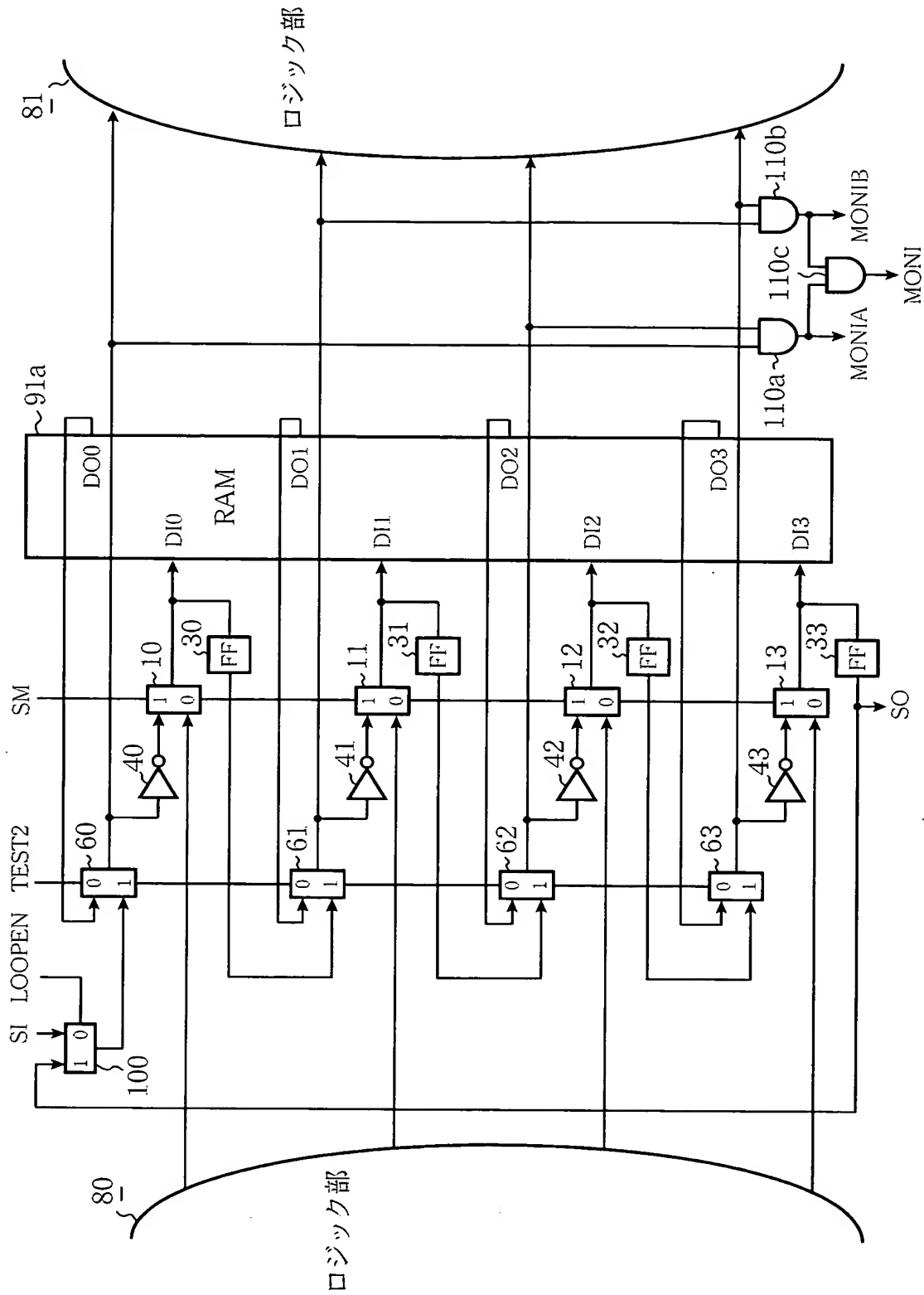
【図 17】



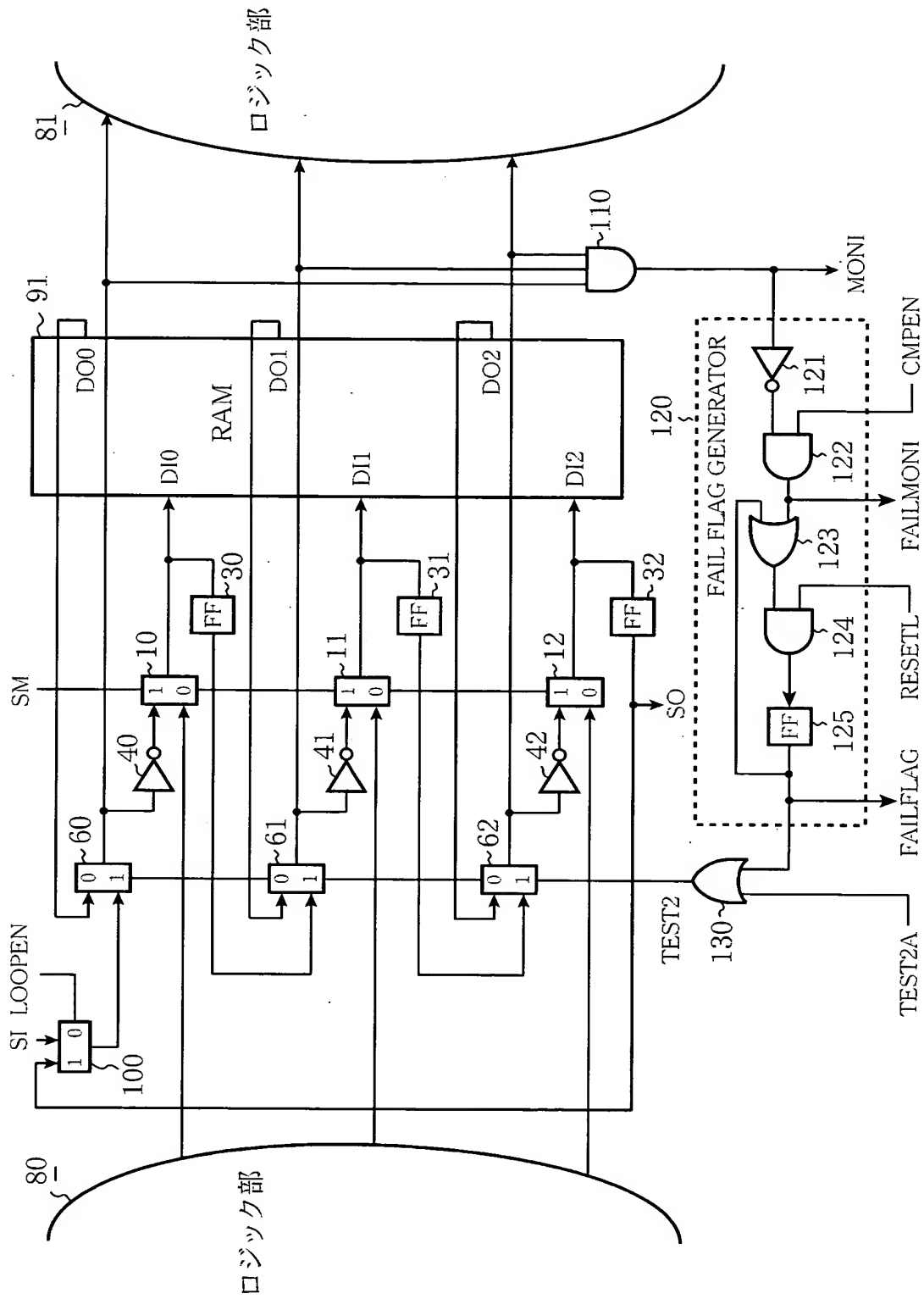
【図 18】



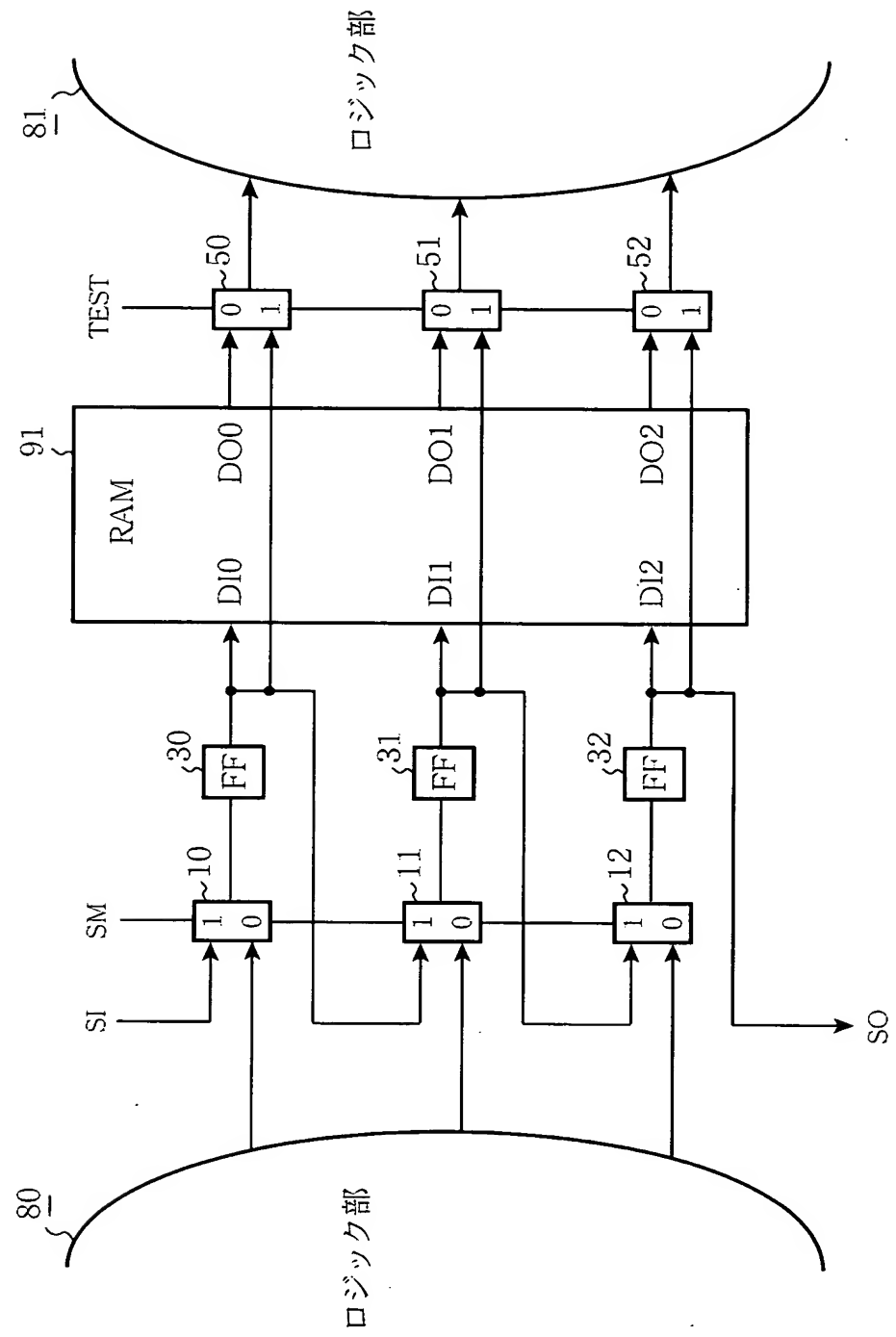
【図 19】



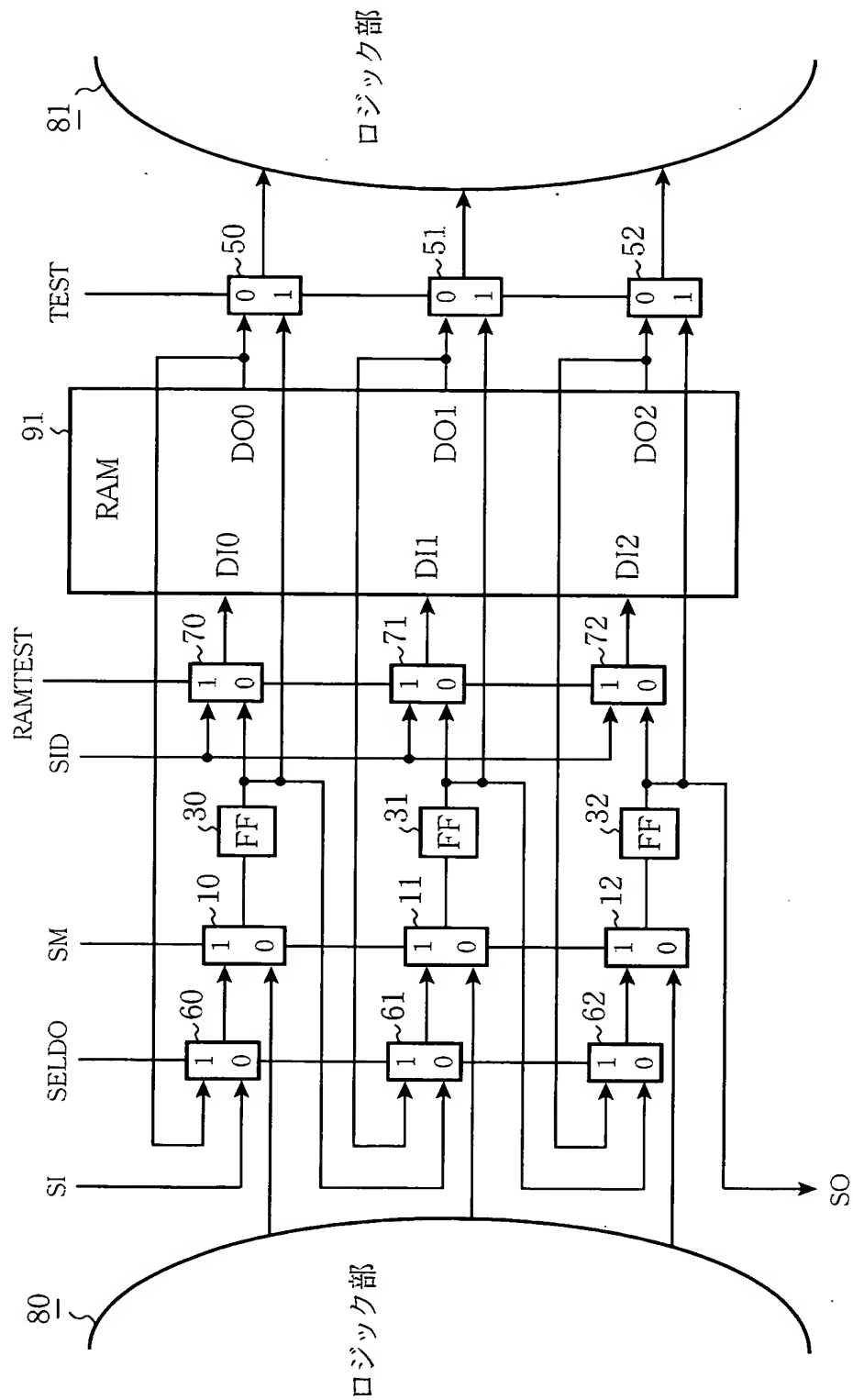
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 テスト回路の規模を大きくせずに機能ブロック単独のテストを行う。

【解決手段】 ロジック部 8 0 の出力と機能ブロック 9 0 の入力間の並列経路とデータを直列に伝達するための直列シフト経路を有し、セクタ 1 0, 1 1, 1 2 とフリップフロップ 3 0, 3 1, 3 2 により構成されたスキャンパスと、スキャンパスの直列シフト経路上に接続され、機能ブロック 9 0 の出力と直列シフト経路を切り替えてのロジック部 8 1 の入力に接続するためのセクタ 6 0, 6 1, 6 2 を備え、S I 端子からテストデータをセクタ 6 0, 6 1, 6 2 を介して機能ブロック 9 0 にシフトインし、セクタ 6 0, 6 1, 6 2 を切り替えて機能ブロック 9 0 から出力されたデータを出力する。

【選択図】 図 1

特願 2 0 0 3 - 3 5 3 9 2 4

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ